

(18) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-8153

(49) 公開日 平成9年(1997)1月19日

(51) Int. Cl. <sup>7</sup>	特許記号	序内整理番号	F 1	技術表示箇所
H 0 1 L	21/8247		H 0 1 L 29/76	2 7 1
	29/798		27/10	4 3 4
	29/798			
	27/115			

審査請求 未請求 請求項の数27 O L (全 34 頁)

(21) 出願番号	特願平7-145969	(71) 出願人	090006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22) 出願日	平成7年(1995)6月15日	(72) 発明者	大中道 敬浩 兵庫県尼崎市塚口本町八丁目1番1号 三 菱電機株式会社半導体基礎研究所内
		(73) 発明者	小野田 宏 兵庫県伊丹市瑞原4丁目1番地 三菱電機 株式会社ユー・エル・エス・アイ開発研究 所内
		(74) 代理人	弁理士 深見 久郎 (外3名)

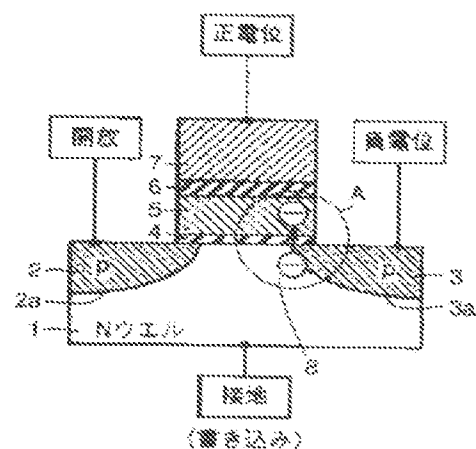
最終頁に続く

(54) 【発明の名称】 不揮発性半導体記憶装置

## (57) 【要約】

【目的】 pチャンネル型のメモリセルを用いて、従来のnチャンネル型のMOSメモリセルの電圧印加条件と反対の電圧印加条件を与えることにより、トンネル酸化膜の劣化を防止し、微細化が可能な不揮発性半導体記憶装置を提供する。

【構成】 nウェル1の表面にp型のソース領域2とドレイン領域3とが形成され、チャンネル領域5の上方に、トンネル酸化膜4を介してフローティングゲート電極6とコントロールゲート電極7とが形成されている。この構成において、データの書き込み時、ドレイン領域3に負電位が印加され、コントロールゲート電極に正電位が印加される。これにより、ドレイン領域におけるバンド・バンド間トンネル電流誘起ホットエレクトロン注入電流により、ドレイン領域Aからフローティングゲート電極6へ電子が注入される。



(書き込み)

- 1: Nウェル  
2: P型拡散層 (ソース)  
2a: pn接合  
3: P型拡散層 (ドレイン)  
3a: pn接合  
4: トンネル酸化膜  
5: フローティングゲート  
6: 隔間絶縁膜  
7: コントロールゲート

1

【特許請求の範囲】

【請求項1】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの書き込時に、前記ドレイン領域に、負電位を印加するための負電位印加手段と、

前記電荷蓄積電極に、正電位を印加するための正電位印加手段と、を備え、前記ドレイン領域におけるバンドバンド間トンネル電流誘起ホットエレクトロン注入により、前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項2】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの書き込時に、前記ドレイン領域に、負電位を印加するための負電位印加手段と、

前記電荷蓄積電極に、正電位を印加するための正電位印加手段と、を備え、前記電荷蓄積電極と前記ドレイン領域とに挟まれた領域の前記トンネル酸化膜に電荷界を印加して、F-Nトンネル現象により前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項3】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの消去時に、前記制御電極に、負電位を印加するための負電位印加手段と、

前記ソース領域および前記n型領域に、正電位を印加するための正電位印加手段と、を備え、前記チャネル領域に正孔のチャネル層を形成し、前記正孔のチャネル層と前記電荷蓄積電極との間に介在する前記トンネル酸化膜に電荷界を印加して、F-Nトンネル現象により、前記電荷蓄積電極から前記正孔のチャネル層へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項4】 前記不揮発性半導体記憶装置は、前記不揮発性半導体記憶装置のデータの書き込時に、前記ソース領域を開放状態にする開放手段と、

2

前記n型領域を接地状態にする接地手段と、をさらに有する請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項5】 前記チャネル領域は、p型の埋込層を有する、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項6】 前記電荷蓄積電極は、n型のポリシリコンである、請求項1または請求項2に記載の不揮発性半導体記憶装置。

15 【請求項7】 前記電荷蓄積電極は、p型のポリシリコンである、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項8】 前記ソース領域と前記ドレイン領域とは、前記電荷蓄積電極および前記制御電極に対して、対称構造である、請求項1または請求項2に記載の不揮発性半導体記憶装置。

【請求項9】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項1に記載の不揮発性半導体記憶装置。

20 【請求項10】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ の領域を含み、前記ソース領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である、請求項1に記載の不揮発性半導体記憶装置。

【請求項11】 前記チャネル領域において、前記ソース領域に接して形成され、前記ソース領域の不純物濃度よりも低濃度のp型不純物を有する第1不純物領域と、

前記ドレイン領域に接して形成され、前記ドレイン領域の不純物濃度よりも低濃度のp型不純物を有する第2不純物領域と、を備えた、請求項1に記載の不揮発性半導体記憶装置。

【請求項12】 前記n型領域において、前記ドレイン領域に接し、前記ドレイン領域を包囲するように形成されたn型の第3不純物領域を備えた、請求項1に記載の不揮発性半導体記憶装置。

【請求項13】 前記トンネル酸化膜の膜厚は、15 nm以下である、請求項1に記載の不揮発性半導体記憶装置。

【請求項14】 前記n型領域において、前記ドレイン領域を包囲するように形成されたp型の第4不純物領域と、

前記ソース領域を包囲するように形成されたn型の第5不純物領域と、を備えた、請求項2に記載の不揮発性半導体記憶装置。

【請求項15】 前記不揮発性半導体記憶装置は、前記ドレイン領域を開放状態にする開放手段をさらに備えた、請求項3に記載の不揮発性半導体記憶装置。

50

3

【請求項15】 前記制御電極と前記電荷蓄積電極と前記ソース領域と前記ドレイン領域とでメモリセルが形成され、

前記不揮発性半導体記憶装置は、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数行に対応して、前記各々のメモリセルの制御電極が接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域が接続されたビット線と、を有する、請求項1、請求項2または請求項3に記載の不揮発性半導体記憶装置。

【請求項17】 前記不揮発性半導体記憶装置は、

前記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域とをさらに備え、

前記周辺回路領域は、pチャネル型MOSトランジスタを有し、

前記メモリセルの前記ソース領域と前記ドレイン領域とが、前記pチャネル型MOSトランジスタを構成するソース領域およびドレイン領域と同一の構造を有する、請求項15に記載の不揮発性半導体記憶装置、

【請求項18】 前記ビット線は、主ビット線と副ビット線とを含み、

前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、

前記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の前記副ビット線を含む副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線に接続する選択トランジスタを備え、

前記選択トランジスタは、pチャネル型トランジスタである、請求項18に記載の不揮発性半導体記憶装置、

【請求項19】 前記副ビット線は、金属配線材料である、請求項18に記載の不揮発性半導体記憶装置、

【請求項20】 前記負電圧印加手段は、

前記不揮発性半導体記憶装置の書込時に、

$V_d - I_d$ 特性において、 $(V_d - \text{ドレイン電圧}, I_d - \text{ドレイン電流})$

$V_d$ の絶対値を増加させたときに、 $[(I_{off} - I_d) / V_d]$ の値が0となる $V_d$ の値 $V_d'$ を求め、

$V_d$ の絶対値が $V_d'$ の値より小さい負電位を前記ドレイン領域に印加して、

選択されるメモリセルおよびこの選択されるメモリセルと同一の前記ビット線に接続された選択されないメモリセルにおいて、なだれ破壊が起きないようにした、請求項16に記載の不揮発性半導体記憶装置、

【請求項21】 前記メモリセルは、

前記メモリセルの熱処理済みの後、前記メモリセルの読出電圧よりも低いしきい値電圧を有する、請求項18に

4

記載の不揮発性半導体記憶装置、

【請求項22】 前記メモリセルは、

前記メモリセルの熱処理済みの後、前記メモリセルの読出電圧よりも高いしきい値電圧を有する、請求項18に記載の不揮発性半導体記憶装置、

【請求項23】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数行に対応して、前記各々のメモリセルの制御電極が接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域が接続されたビット線と

前記各々のメモリセルのソース領域が接続されたソース線と、

前記所定のメモリセルの読出時に、

選択されない前記ビット線と、選択されない前記ワード線と、前記ソース線と、前記n型領域とに、第1の電位を印加するための第1電位印加手段と、

選択される前記ビット線に、前記第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、

選択される前記ワード線に第2の電位を印加するための第3電位印加手段と、を有する、不揮発性半導体記憶装置、

【請求項24】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数列に対応して設けられた複数の主ビット線と、

前記複数のメモリセルに共通に設けられたソース線とを備え、

前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、

前記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の副ビット線を含む複数の副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線に接続するセレクトゲートトランジスタとをさらに備え、

前記所定のメモリセルの読出時に、

選択されない前記主ビット線と、選択されない前記セ

50

クトゲートトランジスタと、前記ソース線と、前記n型領域に第1の電位を印加するための第1電位印加手段と、  
選択される前記主ビット線と、選択される前記副ビット線とに、第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、  
選択されない副ビット線を開放状態にする開放手段と、  
選択される前記セレクトゲートトランジスタに第2の電位を印加する第3電位印加手段と、を有する。不揮発性半導体記憶装置。

【請求項25】 前記第1の電位は、正の値の外部電源電位であり、

前記第2の電位は、接地電位である、請求項23または請求項24に記載の不揮発性半導体記憶装置。

【請求項26】 前記第1の電位は、接地電位であり、  
前記第2の電位は、負の値の外部電源電位である、請求項23または請求項24に記載の不揮発性半導体記憶装置。

【請求項27】 前記不揮発性半導体記憶装置の書込時における最大消費電流が、1メモリセル当たり1μA以下となるように、前記第1電位印加手段および前記正電位印加手段を用いて、前記ドレイン領域および前記電荷蓄積層に負電位および正電位を印加する。請求項16に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、不揮発性半導体記憶装置に関し、より具体的には、カチャネル型のメモリセルを用いて、書込および消去などを行なう不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】近年、不揮発性半導体記憶装置の一種であるフラッシュメモリは、ダイナミックランダムアクセスメモリ(DRAM)より安価に製造できるため、次世代を担うメモリデバイスとして期待されている。

【0003】このフラッシュメモリを構成するメモリセルは、一般に、p型領域の表面に形成されたn型のソース領域およびn型のドレイン領域と、このソース領域とドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成されたフローティングゲート電極(電荷蓄積電極)と、このフローティングゲート電極の上方に絶縁膜を介在して形成されたコントロールゲート電極(制御電極)とを有している。

【0004】各々のメモリセルにおいて、ソース領域には、ソース線が接続されている。ドレイン領域には、ビット線が接続されている。フローティングゲート電極は情報を蓄積する。コントロールゲート電極には、ワード線が接続されている。

【0005】ここで、NOR型のフラッシュメモリの書込動作および消去動作について、図32および図33を

10

参照して説明する。まず、書込動作においては、図32に示すように、ドレイン領域33に5V程度の電圧、コントロールゲート37に10V程度の電圧が印加される。また、ソース領域32と、pウェル31とは、接地電位(0V)に保たれる。

【0006】このとき、メモリトランジスタのチャネルには、数百μAの電流が流れる。ソース領域32からドレイン領域33に流れた電子のうち、ドレイン領域33近傍で加速された電子は、この近傍で高いエネルギーを有する電子、いわゆるチャネルホットエレクトロンとなる。この電子は、コントロールゲート37に印加された電圧による電界により、図中矢印Aに示されるように、フローティングゲート電極35に注入される。このようにして、フローティングゲート電極35に電子の蓄積が行われ、メモリトランジスタのしきい値電圧 $V_{th}$ がたとえば3Vとなる。この状態が書込状態、“0”と呼ばれる。

【0007】次に、消去動作について、図33を参照して説明する。ソース領域32に、5V程度の電圧が印加され、コントロールゲート電極37に-10V程度の電圧が印加され、pウェル31は接地電位に保持される。このとき、ドレイン領域33は開放状態にされる。ソース領域32に印加された電圧による電界により、図中矢印Bに示されるように、フローティングゲート電極35中の電子は、薄いトンネル酸化膜34をFNトンネル現象によって運送する。このように、フローティングゲート電極35中の電子が引き抜かれることによって、メモリトランジスタのしきい値電圧 $V_{th}$ がたとえば3Vとなる。この状態が消去状態、“1”と呼ばれる。

30

【0008】一方、上述したチャネルホットエレクトロンにより書込を行ない、FNトンネル現象によって消去を行なういわゆるNOR型のフラッシュセル以外に、単一電極化のために、書込および消去時の消費電力を少なくしたメモリセルが種々開発されている。その一つに、

「IEEE JOURNAL OF SOLID-STATE CIRCUIT, VOL.29, No. 4, APRIL 1994」の454頁から466頁または「ELECTRONICS, ELECTRONIC, VOL. E77-C, No. 8, AUGUST」の1275頁から1286頁に記載されているD1NOR(divided bit line NOR)フラッシュメモリがある。

40

【0009】次に、このD1NOR型フラッシュメモリの構造およびその動作原理について、図34ないし図39を参照して説明する。まず、このD1NOR型フラッシュメモリのメモリセルの構造は、上述したNOR型のフラッシュメモリセルと同様に、pウェル31の表面にn型のソース領域32およびn型のドレイン領域33が形成されている。ソース領域32とドレイン領域33とによって挟まれたチャネル領域の上方に、トンネル酸化膜34を介在してフローティングゲート電極35が形成されている。このフローティングゲート電極35の上方には、絶縁膜36を介在してコントロールゲート電極3

50

7が形成されている。

【0010】上記構造よりなるメモリセルは、一般的にスタックゲート型メモリセルと呼ばれ、ソース領域32は、すべてのメモリセルまたは所定の複数のメモリセルよりなるブロックにおいて電気的に共通に接続されている。コントロールゲート電極37には、ワード線が接続されており、ドレイン領域33には、ビット線が接続されている。このような構成により、所定のワード線と所定のビット線が選択されることにより、所定のメモリセルが選択されることになる。

【0011】また、書き動作については、図34および図35を参照して説明する。書き動作においては、コントロールゲート電極37に $-8 \sim -11$  V程度の負電位が印加され、ドレイン領域33に、 $4 \sim 8$  V程度の正電位が印加される。このとき、pウェル31は接地電位(0 V)に保たれ、ソース領域32は開放状態に保たれる。この状態において、フローティングゲート電極35と、ドレイン領域33とがオーバラップした領域のトンネル酸化膜34に強電界が印加される。この強電界の印加により、FETトンネル現象を生じ、フローティングゲート電極35からトンネル酸化膜34を介してドレイン領域33へ電子が注入される。この書き動作により、メモリセルは“Low Vt” (Vtが低い状態)となる。

【0012】一方、消去動作においては、コントロールゲート37に、 $8 \sim 12$  V程度の正電位が印加され、ソース領域32およびpウェル31に、 $-6 \sim -11$  V程度の負電位を与え、ドレイン領域33を開放状態に維持する。これにより、メモリセルのチャネル部に電子38のチャネル層が形成され、このチャネル層とフローティングゲート電極35との間のトンネル酸化膜34に強電界が印加される。この強電界により、FETトンネル現象が生じ、チャネル層の電子38がフローティングゲート電極35へ注入される。この消去動作により、メモリセルは、“High Vt” (Vtが高い状態)となる。

【0013】また、読出動作においては、コントロールゲート電極37に、“High Vt”と“Low Vt”のほぼ中間となる $3 \sim 5$  V程度の正電位を印加し、ソース領域32とpウェル31とを接地状態とし、ドレイン領域33に $1 \sim 2$  V程度の正電位を印加することにより、メモリセルトランジスタに電流が流れるかどうかを確認する。この確認により、メモリセルが“High Vt”か“Low Vt”かを判定する。

【0014】なお、図37は、上述したDINOR型フラッシュメモリセルの書き特性を示す図であり、書き時間が長くなるにつれて、しきい値が正の範囲内において小さくなることかわかる。また、図38は、上述したDINOR型フラッシュメモリセルの消去特性を示す図であり、消去時間が長くなるにつれて、メモリセルのしきい値が正の範囲において大きくなっていくことがわ

かる。

【0015】

【発明が解決しようとする課題】以上、従来のDINOR型およびDINOR型フラッシュメモリの動作原理について述べたが、上述した従来のDINOR型フラッシュメモリには、次に述べるような問題点がある。

【0016】すなわち、DINOR型フラッシュメモリの書き動作においては、図34および図35に示すような電位印加条件が用いられている。すなわち、pウェル31を接地電位、ソース領域32を開放状態、ドレイン33を正電位、コントロールゲート電極37に負電位をそれぞれ印加して、フローティングゲート電極35からドレイン領域33に電子38を引き抜いている。

【0017】この現象は、たとえば「IBM Technical Digest (1990)」の115頁から118頁に記載または図33で説明したNOR型のフラッシュメモリの消去動作と同じ現象を用いている。このようにn型の不純物拡散層に電子を引き抜く方法は、たとえば「Sym. VLSI Tech., p.81, p.82, 1993」に記載されている。

【0018】たとえば上述したDINOR型フラッシュメモリについて考察した場合、図39に示すように、フローティングゲート電極35とドレイン領域32との間が強電界がかかるため、ドレイン領域32近傍のpウェル31内で、バンド・バンド間トンネル現象を引き起こす。その結果、ドレイン領域32において電子-正孔対40を生じ、ドレインリークを引き起こす。このドレインリークは、GIDL (Gate induced drain leakage) と呼ばれている。

【0019】つまり、バンド・バンド間トンネル現象によって生成された電子-正孔対40のうち電子38は、正電位を持つドレイン領域32に引き抜かれる。一方、正孔39は、チャネル方向に引寄せられ、pウェル31へと流れる。このとき正孔39は、ドレイン領域32とpウェル31の間の空乏層電界により加速され高エネルギーを得るため(ホットホールと呼ばれる)、正孔39の一部は、トンネル酸化膜34に注入されることになる。

【0020】この正孔39のトンネル酸化膜34に与える影響は、MOSFETのゲート酸化膜信頼性の観点から広く研究が行なわれている。一般に、正孔39のトンネル酸化膜34に与える影響は、著しいダメージを与えることが確認されている。

【0021】たとえば、「Sym. VLSI Tech., p.44-p.44, 1993」の注意深い研究によれば、ゲート絶縁膜に使用されるシリコン酸化膜のTDB寿命は、電圧印加時に通過した正孔の総量と深い相関関係を有している。また、最近ではフラッシュメモリのデータ保持特性の信頼性の観点から、たとえば「第42回応用物理学会第5回講演会講演予稿集No.2 p.656, 28-C-10」シリコン酸化膜への正孔注入により誘起されたリーク電流の解析」

に記載されているように、ゲート酸化膜へのホットホールの注入により、ゲート酸化膜の低電圧でのリーク電流が増加することが報告されている。

【0022】以上、述べたように、従来のDINOR型フラッシュメモリにおける問題点は、書き込み、読み出しを発生しやすい電位印加条件となっている。その結果、書き込み時に、トンネル酸化膜にホットホールが注入され、著しいトンネル酸化膜の劣化を引き起こしてしまう（文献：K. Takem San, et al, IEEE ELECTRON DEVICE S, Vol.12, No.1, JANUARY 1995 p.150）。

【0023】そこで、近年においては、上記のようなホットホールの注入によるトンネル酸化膜の劣化を抑制するために、たとえば図40に示す構造のように、ドレイン領域33を設けむように、穏やかなn-の不純物分布をもった電界線相層41が形成されるようになってい。このように電界線相層41を設けることにより、フローティングゲート電極35からFNTトンネル現象により電子の引き抜きを行なうドレイン領域33において、横方向の電界の緩和を行なうことが可能となる。

【0024】しかしながら、この電界線相層41の形成は、不純物の拡散層とフローティングゲート電極35との重なり長さが増長するため、実効ゲート長さし、が小さくなるという欠点がある。したがって、メモリの実効ゲート長の微細化を進めた場合、この電界線相層41の存在のために、より長い実効ゲート長を有するメモリセルにおいても、パンチスルーが起きてしまうという問題点があった。

【0025】したがって、従来のDINOR型フラッシュメモリのメモリセルにおいては、実効ゲート長さの微細化を図ることができないため、メモリセルアレイの高集積化が困難となっている。

【0026】この発明は、上記問題点を解決するためになされたもので、メモリセルの微細化を可能にしつつ、パンチスルー現象の起き難い不揮発性半導体記憶装置を提供することを目的とする。

【0027】

【課題を解決するための手段】

（1） 第1の発明

第1の発明に係る不揮発性半導体記憶装置は、n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時、上記ドレイン領域に負電位を印加するための負電位印加手段と、上記電荷蓄積電極に正電位を印加するための正電位印加手段とを備え、上記ドレイン領域におけるバンドバンド間トンネル電流誘起ホットエレクトロン注入電流により、上記ドレイン領域

から上記電荷蓄積電極へ電子の注入が行なわれる。

【0028】（2） 第2の発明

第2の発明に係る不揮発性半導体記憶装置においては、n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時、上記ドレイン領域に負電位を印加するための負電位印加手段と、上記電荷蓄積電極に正電位を印加するための正電位印加手段とを備え、上記電荷蓄積電極と上記ドレイン領域とに挟まれた領域の上方にトンネル酸化膜に電界線を印加してFNTトンネル現象により上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる。

【0029】（3） 第3の発明

第3の発明に係る不揮発性半導体記憶装置においては、n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの消去時に、上記制御電極に負電位を印加するための負電位印加手段と、上記ソース領域および上記n型領域に正電位を印加するための正電位印加手段とを備え、上記チャネル領域に、正孔のチャネル層を形成し、上記正孔のチャネル層と上記電荷蓄積電極との間に介在する上記トンネル酸化膜に電界線を印加し、FNTトンネル現象により、上記電荷蓄積電極から上記正孔のチャネル層へ電子の注入を行なっている。

【0030】（4） 第4の発明

第4の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記不揮発性半導体記憶装置のデータの書き込み時、上記ソース領域を開状態にする開状態手段と、上記n型領域を接地状態にする接地手段とを備えている。

【0031】（5） 第5の発明

第5の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記チャネル領域は、p型の埋込層を含む。

【0032】（6） 第6の発明

第6の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記電荷蓄積電極は、n型のポリシリコンを含む。

【0033】（7） 第7の発明

第7の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記電荷蓄積電極は、p型のポリシリコンを含む。

11

【0034】(8) 第8の発明

第8の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明において、上記ソース領域と上記ドレイン領域とは、上記電荷蓄積電極および上記制御電極に対して対称構造である。

【0035】(9) 第9の発明

第9の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度および上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下である。

【0036】(10) 第10の発明

第10の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記ドレイン領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ の領域を含み、上記ソース領域の、上記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下である。

【0037】(11) 第11の発明

第11の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記チャネル領域において、上記ソース領域に接して形成され、上記ソース領域の不純物濃度よりも低濃度のp型不純物を有する第1不純物領域と、上記ドレイン領域に接して形成され、上記ドレイン領域の不純物濃度よりも低濃度のp型不純物を有する第2不純物領域とを備えている。

【0038】(12) 第12の発明

第12の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記n型領域において、上記ドレイン領域に接して、上記ドレイン領域を包囲するように形成されたn型の第3不純物領域を備えている。

【0039】(13) 第13の発明

第13の発明に係る不揮発性半導体記憶装置においては、上記第1の発明であって、上記トンネル酸化膜の膜厚は、15nm以下である。

【0040】(14) 第14の発明

第14の発明に係る不揮発性半導体記憶装置においては、第2の発明であって、上記n型領域において、上記ドレイン領域を包囲するように形成されたp型の第4不純物領域と、上記ソース領域を包囲するように形成されたn型の第5不純物領域とを備えている。

【0041】(15) 第15の発明

第15の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、上記ドレイン領域を開放状態にする開放手段をさらに備えている。

【0042】(16) 第16の発明

第16の発明に係る不揮発性半導体記憶装置においては、上記第1または第2の発明であって、上記制御電極と上記電荷蓄積電極と上記ソース領域と上記ドレイン領

12

域とでメモリセルが形成され、上記不揮発性半導体記憶装置は、上記メモリセルが複数行および複数列に配列されたメモリセルアレイと、上記複数行に対応して上記各々のメモリセルの制御電極が接続されたワード線と、上記複数列に対応して上記各々のメモリセルのドレイン領域が接続されたビット線とを有している。

【0043】(17) 第17の発明

第17の発明に係る不揮発性半導体記憶装置においては、上記第18の発明において、上記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域をさらに備え、上記周辺回路領域は、チャネル型MOSトランジスタを有し、上記メモリセルの上記ソース領域と上記ドレイン領域とか、上記pチャネル型MOSトランジスタを構成するソース領域およびドレイン領域と同一の構造を有する。

【0044】(18) 第18の発明

第18の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記ビット線は、主ビット線と副ビット線とを含み、上記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、上記複数のセクタに対して設けられ、各々が対応するセクタ内の複数列に対応する複数の上記副ビット線を含む副ビット線群と、上記複数の副ビット線群を選択的に上記複数の主ビット線に接続する選択トランジスタを備え、上記選択トランジスタは、チャネル型トランジスタである。

【0045】(19) 第19の発明

第19の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記副ビット線は金属配線材料である。

【0046】(20) 第20の発明

第20の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記負電圧印加手段は、上記不揮発性半導体記憶装置の書き時に、 $V_d - 1$ d特性において( $V_d$ :ドレイン電圧、 $I_d$ :ドレイン電流)、 $V_d$ の絶対値を増加させたときに、 $\{ (10 \pm 1 d) / V_d \}^n$ の値が0となる $V_d$ の値 $V_{d0}$ を求め、 $V_d$ の絶対値が $V_{d0}$ の値より小さい負電圧を前記ドレイン領域に印加して、選択されるメモリセルおよびこの選択されるメモリセルと同一のビット線に接続された選択されないメモリセルにおいて、なだれ破壊が起きないようにする。

【0047】(21) 第21の発明

第21の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記メモリセルは、上記メモリセルの素子線消去の後、上記メモリセルの読出電圧よりも低いしきい値電圧を有している。

【0048】(22) 第22の発明

第22の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、上記メモリセルは、上記メ

30

メモリセルの紫外線消去の後、上記メモリセルの読出電圧よりも高いしきい値電圧を有している。

【0049】(23) 第23の発明

第23の発明に係る不揮発性半導体記憶装置において、 $n$ 型領域の表面に形成された $p$ 型のソース領域および $p$ 型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、上記メモリセルが複数行および複数列に配列されたメモリセルアレイと、上記複数行に対応して、上記各々のメモリセルの制御電極が接続されたワード線と、上記複数列に対応して上記各々のメモリセルのドレイン領域が接続されたビット線と、上記各々のメモリセルのソース領域が接続されたソース線とを有し、上記所定のメモリセルの読出時に、選択されない上記ビット線と、選択されない上記ワード線と、上記ソース線と、上記 $n$ 型領域に第1の電位を印加するための第1電位印加手段と、選択される上記ビット線に、上記第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、選択される上記ワード線に第2の電位を印加するための第3電位印加手段とを有している。

【0050】(24) 第24の発明

第24の発明に係る不揮発性半導体記憶装置において、 $n$ 型領域の表面に形成された $p$ 型のソース領域および $p$ 型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極とを有するメモリセルと、上記メモリセルが複数行および複数列に配列されたメモリセルアレイと、上記複数列に対応して接続された複数の主ビット線と、上記複数のメモリセルに共通に設けられたソース線とを備え、上記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、上記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の副ビット線を含む複数の副ビット線群と、上記複数の副ビット線群を選択的に上記複数の主ビット線に接続するセレクトゲートトランジスタとをさらに備え、上記所定のメモリセルの読出時に、選択されない上記主ビット線と、選択されない上記セレクトゲートトランジスタと、上記ソース線と、上記 $n$ 型領域に第1の電位を印加するための第1電位印加手段と、選択される上記主ビット線と、選択される上記副ビット線とに第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、選択されない副ビット線を開放状態にする開放手段と、選択される上記セレクトゲートトランジスタに第2の電位を印加する第3電位印加手段とを有している。

【0051】(25) 第25の発明

第25の発明に係る不揮発性半導体記憶装置において、第23または第24の発明であって、上記第1の電位は正の値の外部電源電位であり、上記第2の電位は接地電位である。

【0052】(26) 第26の発明

第26の発明に係る不揮発性半導体記憶装置において、第23または第24の発明であって、上記第1の電位は接地電位であり、上記第2の電位は負の値の外部電源電位である。

10 【0053】(27) 第27の発明

第27の発明に係る不揮発性半導体記憶装置において、第18の発明であって、上記不揮発性半導体記憶装置の書き込みにおける最大消費電流が1メモリセル当たり1 $\mu$ A以下となるように、上記負電位印加手段および正電位印加手段を用いて、上記ドレイン領域および上記電荷蓄積電極に、負電位および正電位を印加している。

【0054】

【作用】第1、第4〜第13、第16〜第22の発明に係る不揮発性半導体記憶装置においては、 $p$ チャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの書き込み時に、ドレイン領域に負電位、電荷蓄積電極に正電位が印加される。

【0055】これにより、ドレイン領域においてバンドーバンド間トンネル電流が発生し、電子−正孔対が生成される。そのうち電子は移動方向の電界によりチャネル方向に加速され、高エネルギーを有するホットエレクトロンとなる。このとき、制御電極に正電位が印加されているため、このホットエレクトロンは容易にトンネル酸化膜に注入され、電荷蓄積電極まで達することができる。このように、バンドーバンド間トンネル電流誘起とホットエレクトロン注入により、電荷蓄積電極への電子の注入が行なわれる。

【0056】次に、第3、第4〜第8、第14、第16〜第20の発明に係る不揮発性半導体記憶装置においては、上述した発明と同様に、 $p$ チャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの書き込み時に、ドレイン領域に負電圧、電荷蓄積電極に正電位が印加されている。

【0057】これにより、電荷蓄積電極とドレイン領域との間領域上のトンネル酸化膜に強電界が印加される。その強電界により、FETトンネル現象が生じ、ドレイン領域からトンネル酸化膜を介して電荷蓄積電極へ電子を注入することが可能となる。

【0058】次に、第9、第15、第16〜第19の発明に係る不揮発性半導体記憶装置においては、 $p$ チャネル型のフラッシュメモリを用いて、このフラッシュメモリのデータの消去時に、制御電極に負電位を印加し、ソース領域および $n$ 型領域に正電位を印加している。

【0059】これにより、チャネル領域に正孔のチャネル増が形成され、この正孔のチャネル層と電荷蓄積電極

15

との間に介在するトンネル酸化膜に強電界が印加される。そのため、このトンネル酸化膜において、F-Nトンネル現象が生じ、電荷蓄積電極から正孔のチャネル側へ電子の注入を行なうことができる。

【0066】次に、第23、第25、第26の発明に係る不揮発性半導体記憶装置においては、pチャネル型のいわゆるNOR型のフラッシュメモリを用いて、このフラッシュメモリのデータの読出時に、選択されないビット線と、選択されないワード線と、ソース線と、n型領域に第1の電位を印加し、選択されるビット線に、第1の電位よりも1〜2V低い電位を印加し、選択されるワード線に第2の電位を印加している。

【0067】このようにして、第1および第2の電位の2種類の電位を印加するのみでフラッシュメモリの読出動作を行なうことが可能となる。

【0068】次に、第24、第25、第26の発明に係る不揮発性半導体記憶装置においては、pチャネル型のいわゆるD1NOR型のフラッシュメモリを用いて、このフラッシュメモリのデータの読出時に、選択されない主ビット線と、選択されないセレクトゲートトランジスタと、ソース線とn型領域に第1の電位を印加し、選択される主ビット線と選択される副ビット線とに第1の電位よりも1〜2V低い電位を印加し、選択されない副ビット線を開放状態とし、選択されるセレクトゲートトランジスタに第2の電位を印加している。

【0069】これにより、pチャネル型のD1NOR型フラッシュメモリの読出時において、2つの電位を用いることにより、データの読出を行なうことが可能となる。

【0070】次に、第4の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、不揮発性半導体記憶装置のデータの読出時において、さらにソース領域を開放状態にする開放手段と、n型領域を接地状態にする接地手段とを備えている。

【0071】これにより、データの書込時において、不揮発性半導体記憶装置の動作を安定して行なうことが可能となる。

【0072】次に、第5の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、チャネル領域にp型の埋込層を有している。

【0073】このように、p型の埋込層を設けることにより、n型領域とトンネル酸化膜との界面でのホール効果によるホールの移動度の低下を解消することができ

る。

【0074】次に、第6の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明において、電荷蓄積電極がn型のポリシリコンである。

【0075】このように、電荷蓄積電極をn型のポリシリコンとすることにより、ドレイン領域における表面積方向電界が高くなり、ドレイン領域におけるバンドーバ

16

ンド間トンネル電流の発生が増大し、かつ加速電界が増大する。そのため、ドレイン領域において、電子が得るエネルギーが高くなり、書込効率を向上させることができる。

【0076】次に、第7の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極がp型のポリシリコンである。

【0077】このように、電荷蓄積電極をp型のポリシリコンとすることにより、ドレイン領域における表面積方向電界が高くなり、バンドーバンド間トンネル電流の発生量が増大する。そのため、ドレイン領域における加速電界が増大するため、電子が得るエネルギーが高くなり、書込効率を向上する。

【0078】次に、第8の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、ソース領域とドレイン領域とは、電荷蓄積電極および制御電極に対称構造となっている。

【0079】このように対称構造とすることにより、ソース領域およびドレイン領域の形成時にはけるイオン注入時におけるマスクを削減でき、マスク枚数の減少および製造工数等の削減によるコスト低減が可能となる。

【0080】次に、第9の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域およびソース領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下である。

【0081】これにより、バンドーバンド間トンネル電流誘起ホットエレクトロン注入電流を用いて書込を行なう不揮発性半導体記憶装置において、実効ゲート長さが長く、かつ微細化する必要の高集積化が可能メモリセルを得ることが可能となる。

【0082】次に、第10の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ の領域を含み、電荷蓄積電極の下方に位置するソース領域の不純物濃度は、 $5 \times 10^{13} \text{ cm}^{-3}$ 以下である。

【0083】この構造を用いることにより、ドレイン領域でのバンドーバンド間トンネル電流の発生量を大きくすることができる。その結果、書込速度の向上および書込時のドレイン電圧と制御電極電圧の低電圧化が可能となる。

【0084】次に、第11の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ソース領域に接する第1不純物領域と、ドレイン領域に接する第2不純物領域とを備えている。

【0085】この構造により、いわゆるLDD構造が実現し、実効ゲート長さが長く、微細化する必要の高集積化が可能メモリセルを得ることが可能となる。

【0086】次に、第12の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ドレイン側

域を取囲むように第3不純物領域が形成されている。

【0081】これにより、ドレイン空乏層における横方向電界が増大し、効率よく電子を高エネルギー化することができる。

【0082】次に、第13の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、トンネル酸化膜の膜厚を15 $\mu\text{m}$ 以下としている。

【0083】これにより、たとえば比較的低電圧で、トンネル酸化膜に高電界が印加されるため、バンドバンド間トンネル電流を効果的に発生させることができる。

【0084】次に、第14の発明に係る不揮発性半導体記憶装置においては、第2の発明であって、ドレイン領域を取囲む第4不純物領域と、ソース領域を取囲む第5不純物領域とが形成されている。

【0085】この構造により、ソース領域に形成された第5不純物領域により、メモリセルのパンチスルー耐性を向上させることができる。また、ドレイン領域に形成された第4不純物領域により、ドレイン領域とn型領域との間の耐圧を向上させることが可能となる。

【0086】次に、第15の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、消去時にドレイン領域を開放状態にする開放手段を備えている。

【0087】これにより、不揮発性半導体記憶装置の消去動作を安定して行なうことが可能となる。

【0088】次に、第16の発明に係る不揮発性半導体記憶装置においては、第1、第2、第3の発明であって、制御電極と電荷蓄積電極とソース領域とドレイン領域とによりメモリセルが形成され、このメモリセルが複数行および複数列に配列されたメモリセルアレイと、メモリセルの制御電極が接続されたワード線と、メモリセルのドレイン領域が接続されたビット線とを有している。

【0089】したがって、pチャネル型のメモリセルからなるたとえばNOR型のフラッシュメモリや、DINOR型のフラッシュメモリを構成することが可能となる。

【0090】次に、第17の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルのソース領域とドレイン領域とが、周辺回路領域に形成されるpチャネル型MOSトランジスタのソース領域およびドレイン領域と同一の構造を有している。

【0091】上述した構造を用いることにより、メモリセルと、周辺回路領域に形成されるトランジスタとのソース領域およびドレイン領域のイオン注入のためのマスクを削減することができる。

【0092】次に、第18の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、いわゆる主ビット線と副ビット線とを有するDINOR型不揮発性半導体記憶装置において、選択トランジスタにpチャネル型トランジスタを用いている。

【0093】この構造により、選択トランジスタをメモリセルと同一のウェル内に形成することが可能となる。

【0094】次に、第19の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、いわゆる主ビット線と副ビット線とを有するDINOR型不揮発性半導体記憶装置において、副ビット線が、金属配線材から形成されている。

【0095】この構造により、従来のポリシリコン材料による副ビット線に比べ、ドレイン領域とのコンタクト抵抗を低くすることができる。また、金属配線材を用いることにより、配線抵抗が極めて低くなり、副ビット線による寄生抵抗効果を抑えることができる。

【0096】次に、第20の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、不揮発性半導体記憶装置の書込時において、 $V_d - |d|$  特性において ( $V_d$ :ドレイン電圧、 $|d|$ :ドレイン電流)、 $V_d$ の絶対値を増加させたときに、 $(|I_{off}|d)/V_d$  の値が0となる  $V_d$  の値  $V_{d0}$  を求め、 $V_d$  の絶対値が  $V_{d0}$  の値より小さい負電位を前記ドレイン領域に印加して、蓄積されるメモリセルと、選択されないメモリセルにおいて、なだれ破壊が起きないようにしている。

【0097】これにより、たとえば、なだれ破壊が起きるような負電位を印加した場合のような選択されないメモリセルにおける消費電流が大きく増大し、メモリセルの消費電力の増大を招くことや、書込電圧を、不揮発性半導体記憶装置内の昇圧回路を用いて生成している場合において、電流供給能力に制限があるため、並列に書込可能なメモリセルの数が減少し、結果的に1メモリセル当たりの書込速度の低下を回避することが可能となる。

【0098】次に、第21の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルの熱外線消去の後、メモリセルの読出電圧よりも低いしきい値電圧を有している。

【0099】これにより、たとえば読出電圧よりしきい値電圧が高い場合と比べ、消去状態のメモリセルのしきい値と熱外線照射後のしきい値電圧との差が大きくなる。このとき、書込時におけるドレインディスターブに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0100】次に、第22の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルの熱外線消去の後、メモリセルの読出電圧よりも低いしきい値電圧を有している。

【0101】これにより、読出時におけるディスターブに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0102】次に、第23の発明に係る不揮発性半導体記憶装置においては、pチャネル型のNOR型のフラッシュメモリを用い、このNOR型のフラッシュメモリの

データの読出時に、選択されないビット線と、選択されないワード線と、ソース線とn型領域とに第1の電位を印加し、選択されるビット線に第1の電位よりも1〜2V低い電位を印加し、選択されるワード線に第2の電位を印加している。

【0103】これにより、第1および第2の2種類の電位を用いることにより、pチャネル型のいわゆるNOR型のフラッシュメモリの読出動作を行なうことが可能となる。

【0104】次に、第24の発明に係る不揮発性半導体記憶装置においては、pチャネル型のD1NOR型のフラッシュメモリを用い、このD1NOR型のフラッシュメモリのデータの読出時に、選択されない主ビット線と、選択されないセレクトゲートトランジスタと、ソース線とn型領域とに第1の電位を印加し、選択される主ビット線と選択される副ビット線とに、第1の電位よりも1〜2V低い電位を印加し、選択されない副ビット線を開放状態にし、選択されるセレクトゲートトランジスタに第2の電位を印加している。

【0105】これにより、pチャネル型のいわゆるD1NOR型フラッシュメモリの読出時において、2種類の電位を用いることにより、読出動作を行なうことが可能となる。

【0106】次に、第25の発明に係る不揮発性半導体記憶装置においては、第23または第24の発明であって、第1の電位は正の値の外部電源電位であり、第2の電位は接地電位である。

【0107】これにより、メモリセル内においては、正の値を外部電源電位のみを用いることにより、pチャネル型のD1NOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0108】次に、第28の発明に係る不揮発性半導体記憶装置においては、第23または第24の発明であって、第1の電位は接地電位であり、第2の電位は負の値の外部電源電位である。

【0109】これにより、メモリセル内においては、負の値の外部電源電位の1つの電位を用いることによりpチャネル型のD1NOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0110】次に、第27の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、書込時における最大消費電流であるドレイン電流が、1μA以下となるように書込電圧印加条件が設定されている。

【0111】これにより、たとえ最低100°C以上のメモリセルを同時に並列に書込が可能となり、メモリセル単りの実効書込速度の高速化を表現することができる。

【0112】

【実施例】

(第1実施例) 以下、この発明に基づいた第1の実施例

について、図を参照しながら説明する。まず、この第1の実施例における不揮発性半導体記憶装置の構造について、図1を参照して説明する。

【0113】この実施例における不揮発性半導体記憶装置の構造は、n型ウェル1の表面に、p型のソース領域2およびp型のドレイン領域3が形成されている。なお、図1において、ソース領域2およびドレイン領域3とnウェル1との境界に、それぞれpn接合2a、3aが形成されている。

【0114】ソース領域2とドレイン領域3との間に挟まれたチャネル領域5の上方には、トンネル酸化膜4を介在して、フローティングゲート電極5が形成されている。このフローティングゲート電極5の上方には、絶縁膜6を介在してコントロールゲート電極7が形成されている。なお、絶縁膜6は、一般的には、酸化膜、窒化膜および酸化膜からなる3層の積層膜が用いられている。

【0115】上記構造よりなる不揮発性半導体記憶装置の書込、消去および読出動作について説明する。

【0116】まず書込時においては、図1および図4を参照して、コントロールゲート電極7に4〜11V程度の正電位を印加し、ドレイン領域3に−3〜−10V程度の負電位を印加し、ソース領域2を開放状態にし、nウェル1を接地電位とする。すなわち、従来のnチャネル型MOSトランジスタを用いたD1NOR型フラッシュメモリセルの書込時と逆の極性の電位配置で電位を印加する。

【0117】このときの、図1のAで示す領域における書込動作の模式図を図2に示す。ドレイン領域3において、バンドーバンド間トンネル電流が発生し、電子-正孔対8が生成される。そのうち電子8aは、横方向電界により、チャネル8方向に加速され、高エネルギーを有するホットエレクトロンになる。このとき、コントロールゲート7には正電位が印加されているため、このホットエレクトロン8aは容易にトンネル酸化膜4に注入され、フローティングゲート電極5に送ることができ、このバンドーバンド間トンネル電流誘起ホットエレクトロン注入により、フローティングゲート電極5への電子の注入を行ない、本実施例におけるメモリセルの書込動作を行なっている。

【0118】この書込動作により、メモリセルは、“Low Vt”(Vtが低い状態。ただし、pチャネル型トランジスタのため、負の符号で絶対値が小となる。)となる。

【0119】次に、消去動作について、図3および図4を参照して説明する。消去動作においては、コントロールゲート電極7に−5〜−12V程度の負電位を印加し、ソース領域2およびnウェル1に5〜12V程度の正電位を印加し、ドレイン領域3を開放状態とする。つまり、nチャネル型MOSトランジスタを用いたD1NOR型フラッシュメモリセルの書込時と逆の極性の電位配

21

図4より、チャネル部8に正孔のチャネル層を形成する。上述した電位配置により、チャネル層とフローティングゲート電極5との間のトンネル酸化膜4に強電界が印加され、FETトンネル現象により、フローティングゲート電極5から正孔のチャネル層へ電子が引き抜かれる。この消去動作により、メモリセルは、“High Vt” (Vtが高い状態: ただし、pチャネル型トランジスタのため、負の符号で絶対値大となる。) となる。

【0120】さらに、読出動作においては、図4に示すように、コントロールゲート電極7に、“High Vt” と “Low Vt” のほぼ中間となる-1.5〜-5V程度の負電位を印加し、ソース領域2およびウェル1を接地電位とし、ドレイン領域3に-0.1〜-2V程度の負電位を印加する。

【0121】この電位配置により、不揮発性半導体記憶装置に電流が流れるかどうかで、この不揮発性半導体記憶装置が “Low Vt” かを判定する。

【0122】ここで、図5および図8は、この実施例における不揮発性半導体記憶装置の書込特性および消去特性を示す図である。

【0123】従来技術における図5および図3Bで示した書込特性および消去特性と比較した場合、本実施例における書込特性においては、しきい値がともに負の値となっていることがわかる。

【0124】このように、本実施例における不揮発性半導体記憶装置においては、pチャネル型のMOSトランジスタで形成し、図4に示すような電位条件により行なうため、書込時においては、ドレイン領域3近傍においてバンド-バンド間トンネル電流により発生する電子-正孔対9のうち、正孔9aはドレイン領域3へと引っ張られ、さらに、ドレイン領域3においては、正孔の濃度が高いために従来のように、散乱を起こしエネルギーが奪われ、高エネルギーを有するホットホールとなることがない。また、仮にホットホールが存在した場合においても、フローティングゲート5は正電位になっているため、ホットホールが注入されることはあり得ない。

【0125】したがって、トンネル酸化膜4へのホットホール注入を起すことがなく、従来のnチャネルのMOS型メモリセルで大きな問題となっていた、トンネル酸化膜へのホットホール注入によるトンネル酸化膜の悪い劣化を防ぐことが可能となる。

【0126】また、ホットホールのトンネル酸化膜への注入が起きないため、従来のnチャネルのMOS型メモリセルにおいて、実効ゲート長さの確保についても、従来のような電界緩和層の形成が不要であるために、従来のnチャネルのMOS型メモリセルの構造に比べ、より微細化が可能となり、すなわち高集積化が可能となる。

【0127】ここで、図7を参照して、図1に示す構造において、フローティングゲート電極5とコントロール

22

ゲート電極7とを接続した場合のId-VdおよびIg-Vd特性を説明する。なお、Idはバンド-バンド間トンネル現象が発生した電流の値であり、Igはバンド-バンド間トンネル電流誘起ホットエレクトロンによりトンネル酸化膜4への注入電流の値である。Vgはコントロールゲート電極7の電圧である。

【0128】注入効率Ig/Idを、実際の使用条件に近い電位印加条件として、Vd=-8V、Vg=6Vの条件において考察すれば、図7に示すように、注入効率は、約10<sup>-4</sup>の高い効率を得られていることがわかる。

【0129】従来のnチャネルMOS型メモリセルのフローティングゲート電極からドレイン領域へのFETトンネル電流による電子の引き抜きにより書込動作を行なった場合、FETトンネルによるゲート電流Igと、バンド-バンド間トンネル現象によるリーク電流Idの比率Ig/Idに比べ、本実施例における書込方式によれば、Ig/Idは1桁から2桁効率が良い。

【0130】このように、注入効率Ig/Idが、従来のメモリセルに比べ高いことが、従来の書込方式と同一の速度での書込を、低消費電流で実現することを可能としている。また、従来の同一消費電流で書込を行なう場合、高速で書込を実現することができるとを意味する。

【0131】以上のように、本実施例における不揮発性半導体記憶装置の書込方式によれば、従来のnチャネルのMOS型メモリセルにおけるフローティングゲート電極からドレイン領域へのFETトンネル電流による電子の引き抜きを書込または消去動作に用いるものに対して、トンネル酸化膜の劣化の防止、実効ゲート長さの有効利用といった有益性のみならず、低消費電流化および高速書込が実現することが可能となる(参考文献: S. Haddad et. al., IEEE ELECTRON DEVICE LETTERS, vol. No. 11, NOVEMBER, 1990, P714, 1990)。

【0132】また、図1に示すように、ソース領域2およびドレイン領域3がフローティングゲート電極5およびコントロールゲート電極7に対して対称構造となっているため、ソース領域2およびドレイン領域3の形成時において、不純物注入の打ち分けを行なうことなく形成することができる。その結果、従来のDINOR型フラッシュメモリセルや、NOR型フラッシュメモリセルのように、ソース領域とドレイン領域とが非対称構造のものに対して、マスクを削減でき、マスク枚数の減少および製造工程数削減による不揮発性半導体記憶装置のコストの低減が可能となる。

【0133】(第2実施例) 次に、この発明に基づいた不揮発性半導体記憶装置の第2の実施例について、説明する。

【0134】この第2の実施例における不揮発性半導体記憶装置は、上述した第1の実施例におけるメモリセルを用いて、pチャネルのMOS型メモリセルを用いたD

23

【0135】このD1NOR型フラッシュメモリに含まれるメモリセルマトリックスは、以下に説明するように複数のセクタに分割されている。表1～表3には、選択されたセクタ内のメモリセル（メモリトランジスタ）および非選択のセクタ内のメモリセル（メモリトランジスタ）への電圧印加条件が示される。表1ないし表3において、 $V_d$ はドレイン電圧、 $V_g$ はコントロールゲート電極電圧、 $V_s$ はソース領域電圧、 $V_{bb}$ はnウェル電圧を示す。表1～表3にある電圧条件は、一実施例として示しており、セクタ数、メモリ数などは、簡単のため、少ない数での例を示している。

【0136】

【表1】

読出時印加電圧

選択セクタ印加電圧				非選択セクタ印加電圧			
$V_d$	$V_{cg}$	$V_s$	$V_{bb}$	$V_d$	$V_{cg}$	$V_s$	$V_{bb}$
開放	-10V	8V	8V	開放	0V	8V	8V

【0137】

【表2】

書き込み時印加電圧

選択時印加電圧				非選択時印加電圧			
$V_d$	$V_{cg}$	$V_s$	$V_{bb}$	$V_d$	$V_{cg}$	$V_s$	$V_{bb}$
-5V	8V	開放	0V	開放	0V	0V	0V

【0138】

【表3】

擦出時印加電圧

選択時印加電圧				非選択時印加電圧			
$V_d$	$V_{cg}$	$V_s$	$V_{bb}$	$V_d$	$V_{cg}$	$V_s$	$V_{bb}$
2V	0V	3V	3V	開放	3V	3V	3V

【0139】(a) 不揮発性半導体記憶装置の全体の構成

図8は、この実施例における不揮発性半導体記憶装置の全体の構成を示すブロック図である。

【0140】メモリセルマトリックス70はセクタSE1、SE2に分割されている。メモリセルマトリックス70は、セクタSE1、SE2にそれぞれ対応するセレクトゲートSG1、SG2を含む。メモリセルマトリックス70は、nウェル領域71内に形成される。

【0141】メモリセルマトリックス72は2つの主ビット線MB0、MB1が配列される。主ビット線MB

24

0、MB1はそれぞれYゲート72内のYゲートトランジスタYG0、YG1を含してセンスアンプ52および書込回路53に接続される。

【0142】主ビット線MB0に対応して2つの副ビット線SB01、SB02が設けられ、主ビット線MB1に対応して2つの副ビット線SB11、SB12が設けられる。

【0143】副ビット線SB01、SB11は交差するようにワード線WL0、WL1が配列され、副ビット線SB02、SB12に交差するようにワード線WL2、WL3が配列される。ここで副ビット線の材料をA1、タングステンなどの高融点金属材料、高融点金属材料のシリサイド材料などの金属材料記録構造を用いることにより、ポリシリコンからなる記録材料に比べ、粒数個とのコンタクト抵抗を十分低くすることができる。また、配線抵抗が小さいことから、副ビット線による寄生抵抗効果を抑えることもできる。

【0144】副ビット線SB01、SB02、SB11、SB12とワード線WL0～WL3との交点にはそれぞれメモリセル（メモリトランジスタ）M00～M03、M10～M13が設けられる。メモリセルM00、M01、M10、M11はセクタS1に含まれ、メモリセルM02、M03、M12、M13はセクタS2に含まれる。

【0145】各メモリセルのドレイン領域は対応する副ビット線に接続され、コントロールゲート電極は対応するワード線に接続され、ソース領域はソース線S1に接続される。

【0146】セレクトゲートSG1はセレクトゲートトランジスタSG01、SG11を含み、セレクトゲートSG2はセレクトゲートトランジスタSG02、SG12を含む。副ビット線SB01、SB02はそれぞれセレクトゲートトランジスタSG01、SG02を介して主ビット線MB0に接続され、副ビット線SB11、SB12はそれぞれセレクトゲートトランジスタSG11、SG12を介して主ビット線MB1に接続される。

【0147】アドレスバッファ58は、外部から与えられるアドレス信号を受け、Xアドレス信号をXデコーダ59に加え、Yアドレス信号をYデコーダ57に加える。Xデコーダ59は、Xアドレス信号に対応して複数のワード線WL0～WL3のうちいずれかを選択する。Yデコーダ57は、Yアドレス信号に応じて複数の主ビット線MB0、MB1のいずれかを選択する選択信号を発生する。

【0148】Yゲート72内のYゲートトランジスタは、それぞれ選択信号に応じて主ビット線MB0、MB1をセンスアンプ52および書込回路53に接続する。

【0149】読出時には、センスアンプ52が、主ビット線MB0または主ビット線MB1上に読出されたデー

40

50

25

タを検知し、データ入出力バッファ51を介して外部に出力する。

【0150】書込時には、外部から与えられるデータがデータ入出力バッファ51を介して書込回路53に与えられ、書込回路53はそのデータに従って主ビット線MB0、MB1にプログラム電圧を与える。

【0151】負電圧発生回路54、55は外部から電源電圧Vcc（たとえば5V）を受け負電圧を発生する。高電圧発生回路56は外部から電源電圧Vccを受け、高電圧を発生する。ペリフェリ電圧発生回路50は、外部から与えられる電源電圧Vccを受け、ペリフェリ時

10

に、選択されたワード線に所定のペリフェリ電圧を与える。ウェル電位発生回路51は、消去時に、nウェル領域71に正電圧を印加する。ソース制御回路52は、消

去時に、ソース線S1に高電圧を与える。セレクトゲートデコーダ53は、アドレスバッファ58からのアドレス信号の一部にตอบสนองして、セレクトゲートSG1、SG2を選択的に活性化

20

する。

【0152】書込/消去制御回路50は、外部から与えられる制御信号にตอบสนองして、各回路の動作を制御する。

【0153】(b) 不揮発性半導体記憶装置の動作次に、不揮発性半導体記憶装置のセクタ消去動作、書込動作および読出動作を前1〜表3を参照しながら説明する。

【0154】(1) セクタ消去動作ここでは、セクタSE1を一括消去するものと仮定する。まず、書込/消去制御回路50にセクタ一括消去動作を指定する制御信号が与えられる。それにより、負電

30

圧発生回路55および高電圧発生回路56が活性化される。

【0155】負電圧発生回路55はXデコーダ58に負電圧（-10V）を与える。Xデコーダ58は、セクタSE1のワード線WL0、WL1に負電圧（-10V）を印加し、セクタSE2のワード線WL2、WL3に0Vを印加する。高電圧発生回路56はYデコーダ57およびウェル電位発生回路51に高電圧を与える。Yデコーダ57は、Yゲート72内のYゲートトランジスタYG0、YG1に高電圧を印加する（Yゲートトランジスタ、セレクトゲートトランジスタをタッチャネル型MOSトランジスタで形成した例を示す）。それにより、主

40

ビット線MB0、MB1はフローティング状態になる。ソース制御回路52はソース線S1に正電圧（5V）を印加する。また、ウェル電位発生回路51は、nウェル領域71に正電圧（5V）を印加する。セレクトゲートデコーダ53はセレクトゲートSG1、SG2をOFF状態にする。

【0156】このようにして、選択セクタSE1内のメモリセルおよび非選択セクタSE2内のメモリセルに、表1に示されるように電圧が印加される。その結果、セクタSE1内のすべてのメモリセルは消去される。

26

【0157】(1) 書込動作

ここでは、メモリセルM00をプログラムするものと仮定する。すなわち、メモリセルM00にデータ“0”を書込み、メモリセルM10はデータ“1”を保持する。

【0158】まず、書込/消去制御回路50は、プログラム動作を指定する制御信号が与えられる。それにより、負電圧発生回路54および高電圧発生回路56が活性化される。

【0159】高電圧発生回路56はXデコーダ58に高電圧を与える。Xデコーダ58は、アドレスバッファ58から与えられるXアドレス信号にตอบสนองしてワード線WL0を選択し、選択されたワード線WL0に高電圧（5V）を印加し、非選択のワード線WL1〜WL3に0Vを印加する。

【0160】負電圧発生回路54はYデコーダ57、書込回路53およびセレクトゲートデコーダ53に負電圧を与える。まず、外部からデータ入出力バッファ51を介してデータ“0”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号にตอบสนองしてYゲート72内のYゲートトランジスタYG0に負電圧を印加し、YゲートトランジスタYG1に0Vを印加する。それにより、YゲートトランジスタYG0がONする。

【0161】書込回路53はYゲートトランジスタYG0を介して主ビット線MB0にデータ“0”に対応するプログラム電圧（-5V）を印加する。また、セレクトゲートデコーダ53は、セレクトゲートSG1をON状態にし、セレクトゲートSG2をOFF状態にする。それにより、副ビット線SB01、SB11がそれぞれ主ビット線MB0、MB1に接続される。ソース制御回路52は、ソース線S1をフローティング状態にする。ウェル電位発生回路51はnウェル領域71に0Vを印加する。

【0162】このようにして、メモリセルM00に、表2の左欄に示されるように電圧が印加される。その結果、メモリセルM00のしきい値電圧が上昇する（しきい値電圧は負電圧であるので、0に近い方向へ変化する。）。

【0163】一定時間たとえば1μ（秒）経過後、外部からデータ入出力バッファ51を介してデータ“1”が書込回路53に与えられ、ラッチされる。Yデコーダ57は、アドレスバッファ58から与えられるYアドレス信号にตอบสนองしてYゲート72内のYゲートトランジスタYG1に負電圧を印加し、YゲートトランジスタYG0に0Vを印加する。それにより、YゲートトランジスタYG1がONする。書込回路53は、YゲートトランジスタYG1を介して副ビット線MB1にデータ“1”に対応する0Vを印加する。

【0164】このようにして、メモリセルM10に、表2の右欄に示されるように、電圧が印加される。その結

50

果、メモリセルM10のしきい値電圧は低い(しきい値電圧は負電圧であるため絶対値で高い)まま維持される。

#### 【0165】(iii) 読出動作

ここでは、メモリセルM0からデータを読出するものと仮定する。まず、書込/消去制御回路51に、読出動作を指定する制御信号が与えられる。

【0166】デコード回路58は、アドレスバッファ58から与えられるXアドレス信号に基いてワード線WL0を選択し、それに0Vを印加する。このとき、ワード線WL1〜WL3は3Vに保たれる。セレクトゲートデコード回路59は、セレクトゲートSG1をON状態とし、セレクトゲートSG2をOFF状態にする。Yデコード回路7はアドレスバッファ58から与えられるYアドレス信号に基いてYゲート72内のYゲートトランジスタYC0をONさせる。ソース制御回路52はソース線S1に3Vを印加する。ウェル電位発生回路61は、nウェル領域71に3Vを印加する。

【0167】このようにして、選択されたメモリセルM0に、表3の左欄に示されるように電圧が印加される。これにより、メモリセルM0の内容が“1”である主ビット線MB0に読出電流が流れる。この読出電流がセンスアンプ52により検知され、データ入出力バッファ51を介して外部に出力される。このとき、非選択のメモリセルには、表3の右欄に示されるように電圧が印加される。

【0168】以上のようにして、この実施例における不揮発性半導体記憶装置の書込、読出動作を行なうことが可能となる。

【0169】ここで、本実施例における不揮発性半導体記憶装置の書込方式は、pチャネルのMOS型メモリセルにおいて、コントロールゲート電極に正電位を、ドレイン領域に負電位を印加することによって、ドレイン領域でバンドーバンド間トンネル電流を発生させ、このバンドーバンド間トンネル電流で発生した電子の電界加速により生じたホットエレクトロンのトンネル酸化膜への注入電流を用いて書込を行なっている。

【0170】書込動作において、選択されるメモリセルには、コントロールゲート電極に正電圧V<sub>cc</sub>、ドレイン領域に負電圧V<sub>d</sub>が印加されるのに対し、同一のビット線に接続された非選択のメモリセル(ドレインディスタースセル)では、コントロールゲート電極に0V、ドレイン領域に負電圧V<sub>d</sub>が印加されることとなり、この非選択のメモリセルでは、コントロールゲート電圧が0Vのため、フローティングゲート電極とドレイン領域との間の電位差は、選択されたメモリセルのフローティングゲート電極とドレイン領域との間の電位差に比べ非常に小さくなる。このように、非選択のメモリセルでは、バンドーバンド間トンネル電流の発生量が少なくなり、

よって電子注入電流も少なくなる(同一のワード線に接

続された非選択のメモリセル(ゲートディスタースセル)では、コントロールゲート電極電圧が正電圧(V<sub>cc</sub>)、ドレイン領域電圧が0Vとなり、従来のnチャネルMOS型のメモリセルのゲートディスタースセルと同一のFNトンネル電流による書込法のモードであり、V<sub>cc</sub>を極端に大きく設定しない限り問題はない。}

【0171】以上のように、コントロールゲート電極への正電圧とドレイン領域への負電圧の両方が同時に印加されたメモリセルのみ、電子注入電流が大きくなり、高速に書込を行なうことができる。コントロールゲート電極への正電圧とドレイン領域への負電圧のどちらか一方のみ印加されたメモリセルでは、書込または消去が起らないという特性を実現できる。つまり、バンドーバンド間トンネル電流の発生量の大小がフローティングゲート電極とドレイン領域との間の電位差の大小によって決定するという特性を利用している。このように、バンドーバンド間トンネル現象を有効に用いていることが、本実施例における書込動作の特徴である。

【0172】また、pチャネル型のMOSメモリセルをD)NOR型フラッシュメモリに用いることで、周辺回路に形成されるpチャネルトランジスタのソース領域およびドレイン領域との構造と、メモリセルのソース領域およびドレイン領域との構造が同一の構造に形成することができるようになるため、メモリセル領域と、周辺トランジスタ領域とのソース領域およびドレイン領域の不純物の内装のためのマスクを削減することができる。その結果、マスク枚数の減少および不揮発性半導体記憶装置の製造工程数の削減によるコストの低減が可能となる。

【0173】また、メモリセルアレイ内に形成される選択トランジスタを、pチャネル型トランジスタで形成することが可能となるため、pチャネル型のMOSメモリセルと、選択トランジスタとを同一のウェル内に形成することが可能となる。

【0174】(第3実施例)次に、この発明に基いた不揮発性半導体記憶装置の第3実施例について説明する。

【0175】この第3の実施例における不揮発性半導体記憶装置は、第1の実施例におけるpチャネルのMOS型メモリセルの構造を用いて、NOR型のフラッシュメモリを実現させたものである。

【0176】まず、図3を参照して、本実施例における不揮発性半導体記憶装置の構成について説明する。この実施例におけるフラッシュメモリは、チップ一括消去を採用した例を示しており、行列状に配置されたメモリセルマトリックス101と、Xアドレスデコード102と、アドレスバッファ105と、書込回路106と、センスアンプ107と、入出力バッファ108と、ソース制御回路109と、負電圧発生回路110、111と、高電圧発生回路112と、ウェル電位発生回路113と

を含む。

【0177】メモリセルマトリックス101は、行列状に配置された複数個のメモリトランジスタをその内部に有する。メモリセルマトリックス101は、nウェル領域114内に形成される。メモリセルマトリックス101の行および列を選択するために、Xアドレスデコーダ102とYゲート103とが接続されている。Yゲート103には列の選択情報を与えるYアドレスデコーダ104が接続されている。Xアドレスデコーダ102とY

アドレスデコーダ104とは、それぞれ、アドレス情報が一時格納されるアドレスバッファ105が接続されている。

【0178】Yゲート103とは、データ入力時に書き込み動作を行なうための書き込み回路106とデータ出力時に読

出れる電流値から「0」と「1」を判定するセンスアンプ107が接続されている。書き込み回路106とセンスアンプ107とは、それぞれ、入出力データを一時格納する入出力バッファ108が接続されている。

【0179】図9に示すメモリセルマトリックス101

の中には、その概略構成を示す等価回路図が示されてい

る。このメモリセルマトリックス101を有するフラッ

シメモリがNOR型と呼ばれている。

【0180】メモリセルマトリックス101は、行方向

に延びる複数本のワード線 $W_1, \dots, W_L$ と、列方向に延びる複数本のビット線 $B_1, \dots, B_L$ とが互いに直交するように配置され、マトリ

ックスを構成する。各ワード線と各ビット線の交点に

は、それぞれフローティングゲートを有するメモリト

ランジスタ $Q_{11}, Q_{12}, \dots, Q_{LL}$ が配置されている。各メ

モリトランジスタのドレイン領域には、各ビット線が接

触されている。メモリトランジスタのコントロールゲ

ート電極には、各ワード線が接続されている。メモリト

ランジスタのソース領域には各ソース線 $S_1, S_2, \dots$ が

接続されている。同一行に属するメモリトランジスタの

ソースは、図9に示されるように相互に接続されてい

る。

【0181】高電圧発生回路112は外部から電源電圧

$V_{cc}$ （たとえば3V）を受け高電圧を発生する。負電

圧発生回路110、111は外部から電源電圧 $V_{cc}$ を

受け、負電圧を発生する。ウェル電位発生回路113

は、nウェル領域114に高電圧を印加する。ソース制

御回路109は消去時にソースライン $S_L$ に高電圧を与

える。

【0182】次に、消去動作、書き込み動作、読出動作を表

4～表6を参照しながら説明する。なお、表4～表6に

ある電圧印加条件は、一実施例としての値を示してい

る。

【0183】

【表4】

消去時印加電圧

ビット線	ワード線	ソースライン	Nウェル
開放	-10V	8V	8V

【0184】

【表5】

書き込み時印加電圧

ビット線	ワード線	ソースライン	Nウェル
5V	8V	開放	0V

【0185】

【表6】

読出時印加電圧

ビット線	ワード線	ソースライン	Nウェル
2V	0V	3V	3V

【0186】(i) 消去動作

負電圧発生回路111はXアドレスデコーダ102に負電圧（-10V）を与える。Xアドレスデコーダ102はすべてのワード線 $W_1, \dots, W_L$ に負電圧（-10V）を印加する。ウェル電位発生回路113はnウェル領域114に高電圧（8V）を印加する。ソース制御回路109はソース線 $S_L$ に高電圧（8V）を印加する。Yアドレスデコーダ104はYゲート103内のYゲートトランジスタをオフにし、すべてのビット線 $B_1, \dots, B_L$ をフローティング状態にする。

【0187】このようにして、メモリセルマトリックス101内のすべてのメモリに、表4に示されるように電圧が印加される。その結果、メモリセルマトリックス101内のすべてのメモリセルは消去される。

【0188】(ii) 書き込み動作

ここでは、メモリセル $Q_{11}$ に書き込みを行なうものと仮定する。すなわち、メモリセル $Q_{11}$ にデータ“0”を書込み、メモリセルマトリックス101内のその他のメモリセルはデータ“1”を保持する。

【0189】高電圧発生回路112は、Xアドレスデコーダ102に高電圧を与える。Xアドレスデコーダ102はアドレスバッファ105から与えられるXアドレス信号に応じてワード線 $W_1$ を選択し、選択されたワード線 $W_1$ に高電圧（8V）を印加して、非選択のワード線 $W_2, \dots, W_L$ に0Vを印加する。

【0190】負電圧発生回路110は、Yアドレスデコーダ104に負電圧を与える。まず、外部からデータ入出力バッファ108を介してデータ“0”が書き込み回

06に与えられ、ラッチされる。Yアドレスデコーダ104は、アドレスバッファ105から与えられるYアドレス信号にตอบสนองしてYゲート103にビット線選択情報を送る。Yゲート103は、ビット線B<sub>1</sub>L<sub>1</sub>を選択して、選択ビット線B<sub>1</sub>L<sub>1</sub>にデータ“0”に対応する高電圧(−5V)を印加し、非選択のビット線B<sub>1</sub>L<sub>1</sub>〜B<sub>1</sub>L<sub>10</sub>には0Vを印加する。

【0191】ソース制御回路109は、ソース線S<sub>1</sub>Lをフローティング状態にする。ウェル電位発生回路113は、nウェル領域114に0Vを印加する。

【0192】このようにして、メモリセルQ<sub>1</sub>に、表5に示されるように高電圧が印加される。その結果、メモリセルQ<sub>1</sub>のしきい値電圧が上昇する(しきい値電圧は負電圧であるので0に近い方向に変化する)。

【0193】(1.1) 読出動作

ここでは、メモリセルQ<sub>1</sub>からデータを読出すものと仮定する。Xアドレスデコーダ102は、アドレスバッファ105から与えられるXアドレス信号にตอบสนองしてワード線W<sub>1</sub>L<sub>1</sub>を選択し、それに0Vを印加する。このとき、非選択のワード線W<sub>1</sub>L<sub>1</sub>〜W<sub>1</sub>L<sub>10</sub>には3Vを印加する。Yアドレスデコーダ104は、アドレスバッファ105から与えられるYアドレス信号にตอบสนองしてYゲート103にビット線選択情報を送る。Yゲート103はビット線B<sub>1</sub>L<sub>1</sub>01を選択し、ビット線B<sub>1</sub>L<sub>1</sub>01に2Vが印加される。非選択のビット線B<sub>1</sub>L<sub>1</sub>〜B<sub>1</sub>L<sub>10</sub>には3Vが印加される。ソース制御回路109はソース線S<sub>1</sub>Lに3Vを印加する。ウェル電位発生回路113はnウェル領域114に3Vを印加する。このようにして、選択されたメモリセルQ<sub>1</sub>に、表5に示されるように電圧が印加される。それにより、Q<sub>1</sub>の内容が“1”であればビット線B<sub>1</sub>L<sub>1</sub>に読出電流が流れる。この読出電流がセンスアンプ107により検知され、入出力バッファ108を介して外部に出力される。

【0194】以上のように、本実施例におけるNOR型のフラッシュメモリにおいては、書込・消去時の消費電流が少ないため、書込・消去到用いる高電圧はチップ内部昇圧回路にて発生することが可能となる。したがって、外部電源電圧は任意の単一電源でフラッシュメモリを構成することが可能となる。

【0195】また、従来のnチャネルのMOS型メモリセルを用いたNOR型フラッシュメモリにおいては、図10に示すように、書込動作として、チャネルホットエレクトロン注入により、フローティングゲートに電子を注入している。これにより、メモリセルのV<sub>th</sub>を、低V<sub>th</sub>側から高V<sub>th</sub>側へと変化させている。

【0196】一方、消去動作においては、F<sub>N</sub>トンネル現象により、フローティングゲート領域からソース領域またはチャネル領域に電子を引き抜くことにより、メモリセルのV<sub>th</sub>を高V<sub>th</sub>側から低V<sub>th</sub>側へと変化させている。

【0197】このとき、消去動作は、全ビット一括またはブロック単位での同時消去であるため、ビットごとにはペリファイを行なえないため、消去後のV<sub>th</sub>分布が大きくなってしまふ。すなわち、低V<sub>th</sub>側のV<sub>th</sub>分布が大きくなることにより、V<sub>th</sub>が0より大きくなるものが発生すると、読出動作時に、常にON状態となるため、読出動作を起すすいゆるオーバーレイ現象が生じている。

【0198】仮に、プロセスにおけるばらつきや欠陥などのために、特異的に消去速度の速いビットが存在したとき、そのビットはオーバーレイの読出動作を経ることになる。したがって、全ビットの消去速度のばらつきを小さくすることが不可欠であり、従来のnチャネルMOSを用いたNOR型フラッシュメモリの大きな問題点となっていた。

【0199】一方、上述した実施例におけるpチャネルのMOS型トランジスタを用いたNOR型フラッシュメモリにおいては、pチャネルの負のV<sub>th</sub>トランジスタを基本構造として、フローティングゲート電極への電子の注入により書込を行なっている。その結果、図11に示すように、高V<sub>th</sub>側(負の絶対値が高い方のV<sub>th</sub>)から低V<sub>th</sub>側(負の絶対値が低い方のV<sub>th</sub>)に書込を行なうことが可能となる。したがって、書込動作においては、ビットごとにはペリファイを行なうことが可能となるため、書込動作終了後のV<sub>th</sub>分布すなわち低V<sub>th</sub>側のV<sub>th</sub>分布を小さくすることができる。

【0200】さらに、もし、特異的に書込が速いビットが存在したときにおいても、V<sub>th</sub>が0を超えることを防ぐことができるため、従来のNOR型フラッシュメモリのオーバーレイによる読出動作の問題を解決することができる。

【0201】また、第2の実施例と同様に、トンネル酸化膜へのホットホール注入がほとんど起こらないため、ホットホール注入によるトンネル酸化膜の著しい劣化を防ぐことが可能となる。さらに、ホットホール注入が起きないため、従来のnチャネルのMOS型メモリセルにおいて、実効ゲート長きの有効利用を悪化させていた電界線層の形成が不要であるため、従来のフラッシュメモリに比べ、より微細化が可能となり、高集積化が可能となる。

【0202】なお、上述した第2および第3の実施例においては、D1NOR型、NOR型のフラッシュメモリに適用した場合について述べたが、これに限らず、FNTトンネル電流によりフローティングゲートからドレイン領域へ電子を引き抜くことにより、書込または消去を行なうフラッシュメモリにあっては、すべて同様の作用効果を得ることが可能である。

【0203】また、上記第2および第3の実施例において、読出時の電圧印加条件については、表5および表6に示した場合に限られることなく、以下に示す表7ない

し表10に示す条件を満たすような読出し時電圧印加条件を用いることによって、同様の作用効果を得ることが出来る。

【0204】

【表7】

NOR型メモリアルレイ 読み出し時電圧印加条件

ビット線		ワード線		ソース線	ウェル
選択	非選択	選択	非選択		
$(V_{cc}-1) \sim (V_{cc}-2)$	$V_{cc}$	接続	$V_{cc}$	$V_{cc}$	$V_{cc}$

※1D

DINOR型メモリアルレイ 読み出し時電圧印加条件

主ビット線		副ビット線		セレクトゲート電位		ソース線	ウェル
選択	非選択	選択	非選択	選択	非選択		
$(V_{cc}-1) \sim (V_{cc}-2)$	$V_{cc}$	$(V_{cc}-1) \sim (V_{cc}-2)$	開放	接続	$V_{cc}$	$V_{cc}$	$V_{cc}$

ワード線	
選択	非選択
接続	$V_{cc}$

【0205】

【表8】

NOR型メモリアルレイ 読み出し時電圧印加条件

ビット線		ワード線		ソース線	ウェル
選択	非選択	選択	非選択		
$-1 \sim -2$	接地	$V_{cc}$	接続	接地	接地

※【0207】

【表10】

2C

※

DINOR型メモリアルレイ 読み出し時電圧印加条件

主ビット線		副ビット線		セレクトゲート電位		ソース線	ウェル
選択	非選択	選択	非選択	選択	非選択		
$-1 \sim -2$	接地	$-1 \sim -2$	開放	$V_{cc}$	接続	接地	接地

ワード線	
選択	非選択
$-V_{cc}$	接地

【0206】（第4実施例）次に、この発明に基づいた第4実施例における不揮発性半導体記憶装置について図を参照して説明する。

【0208】この第4実施例における不揮発性半導体記憶装置の構造は、図12を参照して、第1実施例と同様にnウェル1の表面に、p型の不純物領域からなるソース領域2と、p型の不純物領域からなるドレイン領域3とを有している。なお、ソース領域2およびドレイン領域3と、nウェル1との境界部分には、pn接合2a、3aが形成されている。

【0210】ソース領域2とドレイン領域3とに挟まれたチャネル領域8の上方には、トンネル酸化膜4を介して形成されたフローティングゲート電極5と、このフローティングゲート電極5の上方に絶縁膜を介して形成されたコントロールゲート電極7とを有している。

【0211】上記構造よりなる不揮発性半導体記憶装置において、書込時に、第1の実施例と同じ条件の電圧印加条件を加える。すなわち、コントロールゲート電極7に正電位、ドレイン領域3に負電位、ソース領域2を開

放状態、nウェル1を接地電位とする。これにより、フローティングゲート電極5とドレイン領域1との重なり領域上のトンネル酸化膜4に電荷が印加され、FETトンネル現象により、ドレイン領域1からトンネル酸化膜4を介してフローティングゲート電極5に電子が注入される。これにより、書込が行なわれる。

【0212】その結果、書込時において、第1の実施例と同様の作用効果を得ることが出来る。

【0213】（第5実施例）次に、この発明に基づいた第5実施例の不揮発性半導体記憶装置の構造について、図13を参照して説明する。

【0214】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例に示す不揮発性半導体記憶装置のチャネル領域に、p型の埋込層12を形成したものである。

【0215】図1に示す構造によれば、チャネル層8がnウェル1とトンネル酸化膜4との界面に生成されるため、チャネル層8を流れる正孔は、nウェル1とトンネル酸化膜4との界面で散乱を受け、正孔の移動度の低下

が生じる。その結果、不揮発性半導体記憶装置の駆動力が低下してしまうことがある。

【0218】そこで、本実施例に示すように、チャネル層8に、p<sup>+</sup>型の埋込層12を設けることにより、nウェル1とトンネル酸化膜4との界面での正孔の散乱による正孔の移動度の低下を未然に防止することができ、不揮発性半導体記憶装置の安定した駆動を実現することができる。

【0217】なお、p<sup>+</sup>型埋込層12は、チャネル領域における不純物の縦方向分布において、埋込層12の不純物のピーク濃度が、nウェル1とトンネル酸化膜4との界面より約10nm〜200nmの深さの位置にくるように形成することが好ましく、また、p<sup>+</sup>型の埋込層12のピーク濃度の値は、 $1 \times 10^{18} \sim 5 \times 10^{19} \text{ cm}^{-3}$ であることが好ましい。

【0218】（第6実施例）次に、この発明に基づいた第6実施例の不揮発性半導体記憶装置の構造について、図14を参照して説明する。

【0219】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例の不揮発性半導体記憶装置の構造において、フローティングゲート電極をn<sup>+</sup>型のポリシリコン15で形成したものである。

【0220】このような構造により、第5実施例と比較した場合、ドレイン領域3における表面の横方向電界が高くなり、バンドバンド間トンネル電流の発生量が增大する。これにより、ドレイン領域3における加速電界が増大するため、電子が得るエネルギーも高くなる。その結果、荷送効率が增大する。したがって、荷送速度の増大や、荷送電圧の低電圧化を図ることが可能となる。さらに、第5の実施例と比較した場合、バッチスルー耐性が高くなり、実効ゲート長さの微細化により、不揮発性半導体記憶装置の高集積化が可能となる。

【0221】（第7実施例）次に、この発明に基づいた第7実施例の不揮発性半導体記憶装置の構造について、図15を参照して説明する。

【0222】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例の不揮発性半導体記憶装置の構造において、フローティングゲート電極をp<sup>+</sup>ポリシリコンで形成したものである。

【0223】このような構造により、第5実施例における不揮発性半導体記憶装置と比較した場合、ドレイン領域3における表面の横方向電界が高くなり、バンドバンド間トンネル電流の発生量が增大し、かつ加速電界が増大するため、電子が得るエネルギーが大きくなる。その結果、荷送効率が増大する。したがって、荷送速度の増大や、荷送電圧の低電圧化が可能となる。

【0224】さらに、第5実施例における不揮発性半導体記憶装置に比べ、バッチスルー耐性が高くなり、実効ゲート長さの微細化が可能となる。これにより不揮発性半導体記憶装置の高集積化が可能となる。

【0225】また、第5実施例における不揮発性半導体記憶装置と比較した場合、たとえばDINOR型のメモリセルとして用いた場合、メモリセルトランジスタの帯外放射を除去後（フローティングゲート電位を0としたとき）のしきい値電圧を小さくすることができるため、読出ディスタープの低動作に対する耐性を強くすることが可能となる。

【0226】（第8実施例）次に、この発明に基づいた第8実施例の不揮発性半導体記憶装置の構造について、図16および図17を参照して説明する。

【0227】この実施例における不揮発性半導体記憶装置の構造は、図14および図15に示すように、フローティングゲート電極5とドレイン領域2との重なり部分X、およびフローティングゲート電極5とソース領域2との重なり部分Yにおいて、p型の不純物濃度が $5 \times 10^{18} \text{ cm}^{-3}$ 以下となるように形成されている。

【0228】このように、重なり部分X、Yにおける不純物濃度を $5 \times 10^{18} \text{ cm}^{-3}$ 以下となるように形成するには、まず、図16に示すように、コントロールゲート電極7およびフローティングゲート電極5を覆うようにサイドウォール15を形成した後に、このサイドウォール15をマスクとして、nウェル1にp型の不純物を注入することにより、ソース領域2およびドレイン領域3を形成する。

【0229】その結果、実効ゲート長さが長く、微細化に適した不揮発性半導体記憶装置を得ることができる。

【0230】たとえば、従来のDINOR、NOR型フラッシュメモリセルのように、フローティングゲート電極からドレイン領域へドレイントンネル電流により電子の引き抜きを行なう場合、ドレイン領域のゲート電極との重なる領域が、高濃度の不純物濃度を持っていないと、ドレイン領域のエッジ部分に空乏層が形成される。この空乏層による電位降下のために、ドレイントンネル電流の電子引き抜き速度が低下するという問題があった。したがって、従来の構造によれば、サイドウォール形成後にイオン注入を行ない、ソース領域およびドレイン領域を形成することができず、フローティングゲート電極4およびコントロールゲート電極7をマスクにしてイオン注入を行なう必要があった。

【0231】一方、本実施例におけるpチャネルのMOS型メモリセルを用いた場合には、上記のような問題点が生じないため、サイドウォール15をマスクにしてイオン注入を行なうことが可能となり、実効ゲート長さを有効に用いることのできる不揮発性半導体記憶装置を提供することが可能となる。

【0232】（第9実施例）次に、この発明に基づいた第9実施例の不揮発性半導体記憶装置の構造について、図18および図19を参照して説明する。

【0233】この実施例における不揮発性半導体記憶装置の構造においては、図16に示すように、ドレイン領

域3とフローティングゲート電極5との重なり部分2、の領域においてのみ、ドレイン領域3の不純物濃度が、 $5 \times 10^{18} \text{ cm}^{-3}$ 以上の不純物濃度を有するように形成され、ソース領域2におけるフローティングゲート電極5との重なり部分においては、上述した第3の実施例と同様に、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下の不純物濃度となるように形成されている。

【0234】このように形成するためには、まず図18に示すように、コントロールゲート7およびフローティングゲート5をマスクとして、ドレイン領域2が形成される領域にのみ予めp型の不純物のイオン注入を行なう。図19に示すように、コントロールゲート7およびフローティングゲート5を覆うようにサイドウォール15を形成した後、このサイドウォール15をマスクにしてp型の不純物の注入を行なうことにより形成することができる。

【0235】この構造を用いることにより、ドレイン領域3でのバンド・バンド間トンネル電流の発生量を大きくすることができる。その結果、書き込み速度の向上および書き込み時のドレイン電圧とコントロールゲート電極電圧の低電圧化が可能となる。また、ソース領域2は、サイドウォール15を形成した後にイオン注入を行なうため、実効ゲート長さが有効なメモリセルを形成することが可能となる。

【0236】(第10実施例) 次に、この発明に基づいた第10実施例の不揮発性半導体記憶装置の構造について、図20を参照して説明する。

【0237】この実施例における不揮発性半導体記憶装置の構造は、図20に示すように、p<sup>+</sup>型の不純物領域からなるソース領域10およびドレイン領域11を備え、それぞれのチャネル領域のエッジ部分に、p<sup>+</sup>の不純物濃度域からなる第1不純物領域16と、第2不純物領域17とを備えている。その他の構造については、図1に示す第1の実施例における不揮発性半導体記憶装置の構造と同一である。

【0238】なお、ソース領域10、ドレイン領域11、第1不純物領域16および第2不純物領域17のそれぞれのnウェル1との界面には、pn接合11a、12a、16a、17aが形成されている。

【0239】このように、いわゆるLDD構造を形成することにより、実効ゲート長さが長く、微細化に適したメモリセルを得ることができる。

【0240】さらに、たとえば従来のD1NOR型またはNOR型フラッシュメモリセルにおいて、フローティングゲート電極からドレイン領域へドントネル電流によって電子の引き抜きを行なう場合、ドレイン領域とフローティングゲート電極とが重なる領域において、高濃度の不純物濃度が存在しないと、ドレイン領域のエッジ部分において、空乏層が形成され、この空乏層での電圧降下のために、ドントネル電流の電子の引き抜き速度が

低下するという問題点を回避することができ、さらに、従来の構造においては、コントロールゲート電極およびフローティングゲート電極をマスクにして、高濃度のイオン注入を行なう必要があったために、実効ゲート長さの有効長さが悪化するという問題点も回避することができるようになる。

【0241】(第11実施例) 次に、この発明に基づいた第11実施例の不揮発性半導体記憶装置の構造について、図21を参照して説明する。

【0242】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1の実施例における不揮発性半導体記憶装置の構造に加えて、ドレイン領域3を覆うようにn<sup>+</sup>型の第3不純物領域18が形成されている。この第3不純物領域18の不純物濃度は、約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度である。

【0243】このように、第3不純物領域18を設けることにより、ドレイン空乏層における電圧降下が増大し、効率的に電子を高エネルギー化できる。その結果、書き込み速度の向上および書き込み時におけるコントロールゲート電圧とドレイン領域の電圧の低電圧化が可能となる。

【0244】(第12実施例) 次に、この発明に基づいた第12実施例の不揮発性半導体記憶装置の構造について、図22を参照して説明する。

【0245】この実施例における不揮発性半導体記憶装置の構造は、図1に示す第1実施例の不揮発性半導体記憶装置の構造と比較した場合、ソース領域およびドレイン領域が、高濃度の不純物領域からなるソース領域19とドレイン領域11とからなり、さらに、ソース領域19を覆うように、n<sup>+</sup>型の第4不純物領域20と、ドレイン領域11を覆うようにp<sup>+</sup>型の第5不純物領域19が形成されている。なお、ソース領域19と第4不純物領域20との界面にはpn接合13aが形成され、第5不純物領域19とnウェル1との界面にはpn接合19aが形成されている。また、第4不純物領域20および第5不純物領域19はともにその不純物濃度が約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ 程度に設けられている。

【0246】以上の構造を有することにより、メモリセルのバンドフルー耐性が向上し、第3不純物領域18により、ドレイン領域11とnウェル1との間の耐圧を向上させることが可能となる。

【0247】ここで、第1実施例、第2実施例ないし第12実施例においては、不揮発性半導体記憶装置はnウェル1に形成される場合について説明したが、このnウェル1は、たとえば図23に示すように、p型の半導体基板21におけるトリプルウェル構造を有するプロセスを用いて、nウェル22および24と同様の工程で形成されるものでもよいし、図24に示すように、n型半導体基板26内において、トリプルpウェル28内に形成されたnウェル1であっても構わない。また、図25に示すように、p型の半導体基板21におけるフィンウェル

10

20

30

40

50

ルプロセスを用いて、nウェルを形成したものであって構わない。

【0248】(第13実施例) 次に、この発明に基づいた第13実施例における不揮発性半導体記憶装置について、説明する。

【0249】この第13実施例においては、第1実施例における書きを行なった不揮発性半導体記憶装置において、メモリセルのゲート線消去の後、しきい値電圧 $V_{TH}$ （フローティングゲート電極中の電荷を、0にしたときのしきい値電圧）を読出電圧より低くなるように形成する。このように、読出電圧より低くなるように形成すると、読出電圧より高い場合に比べ、消去状態のメモリセルのしきい値 $V_{THerase}$ とゲート線消去後\*

$$V_{fg} = \alpha_{cg} \times \Delta V_{TH} + \alpha_{cg} \times V_{cg} + \alpha_d \times V_d + \alpha_s \times V_s + \alpha_{sub} \times V_{sub} \quad \dots (1)$$

【0254】ここで、 $\alpha_{cg}$ 、 $\alpha_d$ 、 $\alpha_s$ 、 $\alpha_{sub}$ は、それぞれコントロールゲート、ドレイン領域、ソース領域、nウェルのカップリング比であり、メモリセルの形成条件で変化する値であるが、ここでは、一般的な値として、 $\alpha_{cg}=0.8$ 、 $\alpha_d=\alpha_s=0.1$ 、 $\alpha_{sub}=0.2$ として考える。

【0255】 $V_d=-8V$ 、 $V_{cg}=8V$ 、 $V_s=open$ 、 $V_{sub}=0V$ のバイアス条件における書き動作を考えると、ドレインディスタースターブセルには、 $V_d=-8V$

- 1)  $V_{THuv}=-4V$ の場合、 $\Delta V_{THerase}=V_{THerase}-V_{THuv}=(-5)-(-4)=-1V$   
 $V_{fg}=0.8 \times (-1) + 0.1 \times (8) = 0V$
- 2)  $V_{THuv}=-2V$ の場合、 $\Delta V_{THerase}=V_{THerase}-V_{THuv}=(-5)-(-2)=-3V$   
 $V_{fg}=0.8 \times (-3) + 0.1 \times (8) = 1.2V$

【0258】となる。したがって、 $V_{THuv}=-4V$ の場合は、 $V_{fg}=0V$ となり、 $V_d=-8V$ との電位差は8Vであるが、 $V_{THuv}=-2V$ の場合、 $V_{fg}=1.2V$ となり、 $V_d=-8V$ との電位差は7.2Vとなり、 $V_{THuv}=-2V$ の方がドレインディスタースターブセルにおけるバンドーバンド間トンネル電流の発生量は多くなる。

【0259】すなわち、 $V_{THuv}=-2V$ の方が、ドレインディスタースターブセルにおける書き速度は大きいことになり、 $V_{THuv}$ を低くする（負電圧であるので絶対値を高くする）ことは、ドレインディスタースターブ耐性を良

【0260】(第14実施例) 次に、この発明に基づいた第14実施例の不揮発性半導体記憶装置について、説明する。

【0261】この第14実施例においては、第1実施例★

$$V_{fg} = \alpha_{cg} \times \Delta V_{TH} + \alpha_{cg} \times V_{cg} + \alpha_d \times V_d + \alpha_s \times V_s + \alpha_{sub} \times V_{sub} \quad \dots (2)$$

【0264】ここで、 $\alpha_{cg}$ 、 $\alpha_d$ 、 $\alpha_s$ 、 $\alpha_{sub}$ は、それぞれコントロールゲート、ドレイン領域、ソース領域、p型ウェルのカップリング比であり、メモリセ

\*しきい値電圧 $V_{THuv}$ の差である $\Delta V_{THerase}=V_{THerase}-V_{THuv}$ の値が大きくなる。

【0250】このとき、書き時ドレインディスタースターブ（書きする選択セルと同一のビット線に接続された非選択セルにおける誤った書き）に対する耐性が高まり、メモリセルの信頼性を向上させることができる。

【0251】たとえば、 $V_{THerase}=-5V$ とし、 $V_{THuv}=-4V$ の場合と $V_{THuv}=-2V$ の場合を考える。

【0252】フローティングゲート電極の電位 $V_{fg}$ は以下の第1式で計算することができる。

【0253】

【数1】

※8V、 $V_{cg}=0V$ 、 $V_s=open$ 、 $V_{sub}=0V$ の電位が印加される。

【0258】ここで、 $open$ とした $V_s$ は、0Vに近いとして仮定する。このときの消去状態（ $\Delta V_{TH}=\Delta V_{THerase}$ ）のドレインディスタースターブセルの $V_{fg}$ を計算すると、

【0257】

【数2】

30★における書き方式を用いたメモリセルにおいて、メモリセルのゲート線消去後しきい値電圧（ $V_{THuv}$ （フローティングゲート中の電荷を0にしたときのしきい値電圧））を読出電圧より高くなるように形成している。このように、読出電圧より高くなるように形成することで、読出時ディスタースターブ（読出選択セルにおける誤った消去）に対する耐性が高まり、メモリセルの信頼性を向上させることができる。

【0262】たとえば、読出電圧を3.3Vで考え、書き状態のセルのしきい値電圧 $V_{THwrite}=-2V$ とし、 $V_{THuv}=-4V$ の場合と $V_{THuv}=-2V$ の場合を考える。フローティングゲートの電位 $V_{fg}$ は以下の第3式で計算することができる。

【0263】

【数3】

ルの形成条件で変化する値であるが、ここでは、一般的な値 $\alpha_{cg}=0.8$ 、 $\alpha_d=\alpha_s=0.1$ 、 $\alpha_{sub}=0.2$ として考える。

41

42

【0265】 $V_{fg} = -3.3V$ ,  $V_d = -1V$ ,  $V_s = 0V$ ,  $V_{sub} = 0V$ のバイアス条件における読出動作を考え、このときの書込状態 ( $\Delta V_{TH} = \Delta V_{THw} * \text{Write}$ ) の読出セルの  $V_{fg}$  を計算すると、

【0265】  
【数4】

$$1) V_{THw} = -4V \text{ の場合、 } \Delta V_{THw} = V_{THw} - V_{TH} = (-4) - (-2) = -2V \\ V_{fg} = 0.5 \times 2 + 0.5 \times (-3.3) - 0.1 \times (-1) = -3.3V$$

$$2) V_{THw} = -2V \text{ の場合、 } \Delta V_{THw} = V_{THw} - V_{TH} = (-2) - (-2) = 0V \\ V_{fg} = 0.5 \times 0 + 0.5 \times (-3.3) + 0.1 \times (-1) = -2.1V$$

【0267】となる。したがって、 $V_{THw} = -4V$  の場合は、 $V_{fg} = -3.3V$  となり、 $V_{sub} = 0V$  との電位差は  $3.3V$  であるが、 $V_{THw} = -2V$  の場合、 $V_{fg} = -2.1V$  となり、 $V_{sub} = 0V$  との電位差は  $2.1V$  となり、 $V_{THw} = -4V$  の方が読出ディスタープによる誤った消去の確率は悪くなること

【0268】すなわち、 $V_{THw}$  を高くする（負電圧であるので絶対値を低くする）ことは、読出ディスタープによる誤った消去の確率を良くする効果がある（ $V_{THw}$  を高くすると、ドレインディスタープ耐性が悪化するが、ドレインディスタープ特性の改善に余裕がある場合、 $V_{THw}$  を高くすることにより、読出ディスタープ特性の改善が可能となる）。

【0269】（第15実施例）次に、この発明に基づいた第15実施例の不揮発性半導体基板について図28ないし図31を参照して説明する。

【0270】まず、この第15実施例においては、第2の実施例で説明したD1NOR型のフラッシュメモリにおいて、ドレイン領域に印加する負電圧の値を、書込選択メモリセルおよびこの書込選択メモリセルと同一のビット線に接続された非選択メモリセル（ドレインディスタープメモリセル）において、なだれ破壊が起きないように併に設定して、メモリセルの書込を行なうようにしたものである。

【0271】まず図28を参照して、フローティングゲート電極とコントロールゲート電極とを接続したpチャネルのMOS型メモリセルで測定した、 $V_g = 5V$  における  $I_d$ 、 $V_d$  および  $I_g - V_d$  特性について説明する。

【0272】なお、 $I_d$  はバンドーバンド間トンネルで発生した電流であり、 $I_g$  はバンドーバンド間トンネル電流誘起ホットエレクトロンのトンネル酸化膜への注入電流である。

【0273】まず、図28に示すように、 $V_d$  の絶対値が大きくなると（ $V_d$  の絶対値  $> 6V$  ）、 $I_d$  の電流値が急激に増加していることがわかる（ $V_d$  の絶対値  $> 6V$  での、 $I_d - V_d$  特性の傾きが、 $V_d$  の絶対値  $< 6V$  での  $I_d - V_d$  特性の傾きより大きくなっている）、つまり、 $V_d$  の絶対値を増加させると、 $[(\log I_d) / V_d]^{1/2} < 0$  すなわち、 $(\log I_d) - V_d$  曲線が上に凸の特性から、 $[(\log I_d) / V_d]^{1/2} > 0$  す

なわち（ $\log I_d$ ） $- V_d$  曲線が下に凸の特性に移行する閾値点  $V_d$  が存在する。これは、ドレイン領域においてなだれ破壊が起り、図28に示すように、 $I_d$  の電流値の急激な増加が起っている。

【0274】フラッシュメモリ技術ハンドブック（p. 58：サイエンスフォーラム社出版）の記述によれば、図27に示すように、従来のnチャネルのMOS型メモリセルを用いたNOR型フラッシュメモリにおいて、ソース電圧を増加させた場合、ソース電流には傾斜と領域1が存在し、領域1はバンドーバンド間トンネルによる電流であり、領域1はなだれ破壊による電流であることを、図28に示すそれぞれの領域における電流電圧特性の温度依存性、基板電位依存性、基板濃度依存性から考察することができる。

【0275】このnチャネルのMOS型メモリセルを用いたNOR型フラッシュメモリと全く同一の現象が、図1に示すpチャネルのMOS型メモリセルにおいても起きていると考えられる。

【0276】したがって、図28において、 $V_d$  の絶対値の小さい領域での電流は、バンドーバンド間トンネルによる電流であり、 $V_d$  の絶対値が大きく、 $I_g - V_d$  特性の傾きが增大している領域の電流はなだれ破壊による電流であると考えられる。

【0277】ここで、バンドーバンド間トンネルは、nMOS、pMOSにおいてそれぞれ上述したような電圧がゲート電極とドレイン領域との間に印加されたとき、ドレイン領域におけるディープデプレッション領域で、シリコンのバンドが、図29に示すように曲がり、価電子帯の電子が空孔体にトンネルし、電子-正孔対が発生する現象である（参考文献：W. Feraet, et al., IEEE Electron Device Letters, vol. EDL-7, No.7, July, p.443, 1986）。

【0278】一方、なだれ破壊は、高電界によって高いエネルギーを得た電子または正孔が、価電子帯の電子を禁帯域に持ち上げることが可能となり、これにより新しい電子-正孔対が発生する。こうして発生した電子-正孔対がさらに電子-正孔対をつくるように、なだれ的に多くのキャリアを発生させる現象である。このように、バンドーバンド間トンネル現象となだれ破壊現象とは全く異なる物理現象である。

【0279】ここで、図28に示す条件において、バンドーバンド間トンネルによる電流の領域と、なだれ破壊

50

による電流の領域を区別するために、以下の計算を行なった。

【0280】シリコン基板内のある領域で、単位時間当たりバンドーバンド間トンネルにより発生する電子-正孔対の発生量 $Q_{ss}$ は、

【0281】

【数5】

$$Q_{ss} = A \cdot E_{si}^2 \cdot \exp\{B/E_{si}\} \quad (A, B: \text{定数}) \quad \dots (5)$$

【0282】というF-Nトンネル電流の発生量の計算式と同一の形の式で計算できる(参考文献: E. O. Kane et al., J. Phys. Chem. Solids, vol. 12, 1959, p. 121)。ここで、 $E_{si}$ は、シリコン基板内での電界強度を示し、 $E_{si}$ が大きくなると、バンドの曲がりが大きくなり、バンドーバンド間トンネルの発生量が增大することを示す。

【0283】本実施例のように、コントロールゲート電極とドレイン領域との間に高電圧 $V_g - V_d$ が印加されたとき、一般的な方法で形成したソース/ドレイン構造によれば、バンドーバンド間トンネルの発生量は、シリコン基板表面(シリコン基板とトンネル酸化膜の界面)で最大となる(参考文献: K. T. San et al., IEEE Electron Devices, vol. 42, No. 1, January, p. 130, 1995)。また、バンドーバンド間トンネル電流の発生は、 $E_{si}$ が高いだけでなく、シリコン内のバンドが、シリコンのバンドギャップ $E_g$ 以上曲がったときに初めて起こるものである。また、一般的なソース/ドレイン構造では、シリコン内のバンドの曲がり $E_g$ に等しくなった場所において、バンドーバンド間トンネル電流の発生量が最大となる(参考文献: S. A. Paron et al., IEEE Electron Devices, vol. 39, No. 7, July, p. 1694, 1992)。このバンドーバンド間トンネルの最大発生位置における $E_{si}$ は、以下に示す第6式および第7式を解くことにより計算できる(参考文献: J. Chen et al., IEEE Electron Device Letters, vol. 8, No. 11, November, p. 515, 1987)。

【0284】

【数6】

$$E_{si} = E_{si} = e \cdot ox \cdot E_{ox} \quad \dots (6)$$

【0285】

【数7】

$$E_{ox} = (V_g - V_d - 1.2)/tox \quad \dots (7)$$

【0286】ここで、 $e \cdot si$ 、 $e \cdot ox$ は、それぞれシリコン、シリコン酸化膜の誘電率を示し、 $tox$ は、トンネル酸化膜厚を示し、 $E_{ox}$ は、最大発生位置がシリコン基板とトンネル酸化膜界面である最大発生位置に接する酸化膜中の電界を示している。

【0287】第6式は、シリコンと酸化膜における電界の連続性の式である。第7式は、酸化膜にかかる電圧は、ゲート電極とドレインとの間の電圧 $V_g - V_d$ から、シリコン中で、バンドが $E_g$ (ここでは $E_g \approx 1$ 、

2 eVとした)曲がったことによる、電位降下を引いた電圧であることを示す式である。

【0288】ここで、バンドーバンド間トンネルによって発生する全電流 $I_d$ が、最大発生位置での発生量の比例すると近似した場合

【0289】

【数8】

$$I_d = A' \cdot E_{si}^2 \cdot \exp\{B/E_{si}\} \quad (A', B: \text{定数}) \quad \dots (8)$$

【0290】

【数9】

$$E_{si} = (e \cdot ox \cdot e \cdot si) \cdot (V_g - V_d - 1.2)/tox \quad \dots (9)$$

【0291】となる。したがって、これらの関係式が成り立つとき、縦軸に $I_d / E_{si}^2$ 、横軸に $1 / E_{si}$ をとり、縦軸をL O Gスケールにより、グラフにプロット(いわゆるF-Nプロット)すれば、直線になることがわかる。

【0292】さらに、この直線から外れた領域は、バンドーバンド間トンネルの特性をもった領域ではないと考えられ、これにより、なだれ破壊が起こっている領域とバンドーバンド間トンネルの領域とを区別することができる。

【0293】図26の $I_d - V_d$ 特性の結果を、F-Nプロットしたものを、図30に示す。 $V_d$ の絶対値<8Vでは、直線に沿って傾斜しているが、 $V_d$ の絶対値<8Vでは、直線から外れていることがわかる。したがって、この結果から、図24の $I_d - V_d$ 特性における $V_d$ の絶対値>8Vの領域は、 $V_d$ の絶対値<8Vのバンドーバンド間トンネルの領域とは特性が異なることがわかる。

【0294】このような、なだれ破壊の起こっている印加電圧条件で書き動作を行なうと、以下のような特性の悪化が生じる。

【0295】(1) 図26の同一 $V_d$ における $I_g$ と $I_d$ の値に着目すれば、注入効率 $I_g / I_d$ は、 $V_d$ の絶対値が増加すると単調に大きくなるが(極方向側電界の増大とともに、電子のエネルギーが大きくなり酸化膜の障壁を越える電子の割合が増加する)、 $V_d$ の絶対値がさらに大きくなり、なだれ破壊が起こるようになると(図26において、 $V_d$ の絶対値<8V)、注入効率 $I_g / I_d$ は減少していくことがわかる。したがって、なだれ破壊が起こらない $V_d$ で書きを行なうことが、低消費電流での高効率書きの実現に有効であることがわかる。

【0296】(2) 図31に、フローティングゲート電極とコントロールゲート電極とを接続した図26に示すメモリセルと同一のpチャネル型のMOS型メモリセルで測定した場合の、 $V_g = 0V$ における $I_d - V_d$ および $I_g - V_d$ 特性を示す。ドレインディスタージセル(書き込む選択セルと同一のビット線の接続された非選択メモリセル)の電圧印加条件に近い測定結果である図

3】において、1dに適用すれば、V<sub>0</sub>の絶対値>7.4Vにおいて、なだれ破壊が起き、1dの急激な増大が起きていることがわかる。

【0307】このように、ドレインディスタースセルにおいて、なだれ破壊が起きるようなV<sub>d</sub>で書込を行なうと、ドレインディスタースセルにおける消費電流が大きく増加し、消費電力の増大を招く。また、書込電圧をチップ内回路を用いて生成している場合においては、電流供給能力に限界があるため、並列に書込可能なメモリセルの数が減少し、結果的に1メモリセル当りの書込速度の低下を招くことになる。したがって、ドレインディスタースセルにおいてなだれ破壊が起きないようなV<sub>d</sub>で書込を行なうことは重要となる。

【0308】以上の(1)、(2)に示す理由により、選択メモリセルおよびドレインディスタースセルにおいて、なだれ破壊が起らないドレイン電圧での書込を行なうことにより、デバイス特性の悪化を防ぐことが可能となる。

【0309】(第16実施例) この第16実施例においては、第1実施例に示すチャネル型MOSメモリセルにおいて、トンネル酸化膜4の膜厚を150nm以下となるようにしたものである。

【0310】第1実施例における不揮発性半導体記憶装置においては、コントロールゲート電極7への正電位と、ドレイン領域8への負電位の双方が同時に印加されたと仮定のみ、電子注入電流が大きくなり、急速に書込を行なうことができるが、ドレイン領域への負電位のみ印加されたメモリセルでは、書込が起らないという特性を表現させている。したがって、バンドーバンド間トンネル電流の発生量の大小がフローティングゲート電極7とドレイン領域8との電位差の大小によって決定するという特性を利用している。

【0311】したがって、第1実施例における書込方式を用いる場合には、バンドーバンド間トンネル電流を効果的に発生することが必要である。したがって、トンネル酸化膜4の膜厚を150nm以下として、比較的弱電圧でトンネル酸化膜4に高電界が印加されるようにすることで、バンドーバンド間トンネル電流を効果的に発生することが可能となり、その結果、高速書込を実現することが可能となる。

【0312】(第17実施例) この第17実施例においては、第2または第3実施例において、書込時の最大消費電流(ドレイン電流)が1メモリセル当り1μA以下となるように書込電圧印加条件を設定するようにしたものである。

【0313】3Vもしくは5Vといった単一電源で動作する不揮発性半導体記憶装置を構成することを実装させるためには、書込時に用いる高電位は、チップ内の昇圧回路によって発生させている。この昇圧回路の電流供給能力に依り1mA以下である。したがって、書込時に発

生する最大消費電流が、この値を超えないようにすることが必要である。

【0314】また、1メモリセル当りの実効書込速度を高速化するためには、多数のメモリセルを同時に並列に書込する方法を用いることが有効である。したがって、書込電圧を非常に高くして、メモリセルの書込速度を速くすれば、メモリセルの書込耐性の劣化が激しくなるなどの特性の悪化を引き起こすが、多数のメモリセルを同時に並列書込する方法を用いればそのような特性の悪化を引き起こさずに1メモリセル当りの実効書込速度の高速化を行なうことができる。

【0315】このように、多数のメモリセルを同時に並列に書込する方法を用いる場合、多少の回路の複雑化を伴うため、通常最低1000個以上のメモリセルを同時に並列に書込を行ない、1メモリセル当りの実効書込速度にして3倍以上の高速化を実現しないと、並列書込方式採用の有意性が損われてこない。

【0316】このように、最低1000個以上のメモリセルを同時に並列に書込を行なうには、上記の昇圧回路の電流供給能力からくる書込時に発生する最大消費電流1mA以下の制限により、1メモリセル当りの書込時に発生する最大消費電流(ドレイン電流)が1μA以下にすることが必要となる。

【0317】したがって、1メモリセル当りの書込時に発生する最大消費電流(ドレイン電流)が、1μA以下となるように書込電圧印加条件を設定することで、最低1000個以上のメモリセルを同時に並列に書込を行なうことができ、メモリセル当りの実効書込速度の高速化を実現することができ、その結果、単一電源動作の不揮発性半導体記憶装置を提供することが可能となる。

【0318】なお、今回開示された上記実施例は、すべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって定まれ、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0319】

【発明の効果】第1、第4～第13、第15～第22の発明に係る不揮発性半導体記憶装置によれば、ドレイン領域においてバンドーバンド間トンネル電流が発生し、電子-正孔対が生成される。そのうち電子は横方向の電界によりチャネル方向に加速され、高エネルギーを有するホットエレクトロンとなる。このとき、制御電極に正電位が印加されているため、このホットエレクトロンは容易にトンネル酸化膜に注入され、電荷蓄積電極まで達することができる。このように、バンドーバンド間トンネル電流誘起ホットエレクトロン注入により、電荷蓄積電極への電子の注入が行なわれる。

【0320】その結果、従来のnチャネル型で形成されたメモリセルにおいて問題とされていた、書込時にドレ

イン領域近傍でバンド間トンネル電流により発生する電子-正孔対のうち、正孔がp型のドレイン領域に引っ張られ、ドレイン領域内で、ホール濃度が高いために散乱を経てチャネルギーを奪われ、高エネルギーを有するホットホールが生じることがない。

【0311】また、本発明における構造において、仮にホットホールが存在した場合でも、電荷蓄積電極は正電位になっているため、ホットホールが注入されることはない。したがって、トンネル酸化膜へのホットホールの注入をなくすることができ、従来のnチャネル型のメモリセルで問題となっていたホットホール注入によるトンネル酸化膜の著しい劣化を防ぐことが可能となる。

【0312】さらに、ホットホールのトンネル酸化膜への注入が起きないため、従来のpチャネル型のメモリセルにおいて、実効ゲート長の微細化を無化させていた電界緩和層の形成が不要となり、従来のnチャネルメモリセルに比べより微細化が可能となり、すなわち高集積化が可能となる。

【0313】次に、第3、第4～第6、第14、第16～第20の発明に係る不揮発性半導体記憶装置によれば、電荷蓄積電極とドレイン領域との重なり領域上のトンネル酸化膜に強電界が印加される。その強電界により、FNTトンネル現象が生じ、ドレイン領域からトンネル酸化膜を介して電荷蓄積電極へ電子を注入することが可能となる。その結果、書き込み時において、従来のnチャネル型のメモリセルにおいて問題となっていた、ドレイン領域近傍において、バンド間トンネル電流により発生する電子-正孔対のうち、正孔がドレイン領域へと引っ張られ、ドレイン領域内でホール濃度が高いために散乱を経てチャネルギーを奪われ、正孔がホットホールとなることのない。

【0314】また、本発明における構造において、仮にホットホールが存在しても、電荷蓄積電極には正電位が印加されているために、ホットホールが注入されることはない。したがって、トンネル酸化膜へのホットホールの注入を防止することができ、従来のnチャネル型のメモリセルで大きな問題となっていたホットホールの注入によるトンネル酸化膜の著しい劣化を防ぐことが可能となる。

【0315】また、ホットホールの注入が起きないため、従来のnチャネル型メモリセルで実効ゲート長さの微細化を無化させていた電界緩和層の形成が不要となる。その結果、従来のnチャネル型メモリセルに比べ、より微細化が可能となり、すなわち高集積化が可能となる。

【0316】次に、第3、第16、第18～第19の発明に係る不揮発性半導体記憶装置によれば、チャネル領域に正孔のチャネル層が形成され、この正孔のチャネル層と電荷蓄積電極との間に介在するトンネル酸化膜に強電界が印加される。したがって、このトンネル酸化膜に

において、FNTトンネル現象が生じ、電荷蓄積電極から正孔のチャネル層へ電子の注入を行なうことができる。

【0317】その結果、チャネル層全面を用いて、電荷蓄積電極から正孔の引き抜きを行なうことができるため、効率的にフラッシュメモリの消去動作を行なうことが可能となる。

【0318】次に、第23、第25、第26の発明に係る不揮発性半導体記憶装置によれば、第1および第2の電位の2種類の電位を制御するのみでフラッシュメモリの読出動作を行なうことが可能となる。

【0319】次に、第24、第25、第26の発明に係る不揮発性半導体記憶装置によれば、pチャネル型のD1NOR型フラッシュメモリの読出時において、2つの電位を用いることにより、データの読出を行なうことが可能となる。

【0320】次に、第4の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、データの書き込み時において、不揮発性半導体記憶装置の動作を安定して行なうことが可能となる。その結果、データの書き込み時における不揮発性半導体記憶装置の信頼性を向上させることが可能となる。

【0321】次に、第5の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、p型の埋込層を設けることにより、n型領域とトンネル酸化膜との界面でのホールの散乱によるホールの移動度の低下を解消することができる。その結果、ホールの移動度の低下を回避して、不揮発性半導体記憶装置の駆動力の向上が可能となる。

【0322】次に、第8の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極をn型のポリシリコンとすることにより、ドレイン領域における表面横方向電界が低くなり、ドレイン領域におけるバンド間トンネル電流の発生が増大し、かつ加速電界が増大する。そのため、ドレイン領域において、電子が得るエネルギーが高くなり、書き込み効率を向上させることができる。

【0323】その結果、書き込み速度の増大、書き込み時の低電圧化が可能となる。さらに、パンチスルー耐性が低くなり、ゲート長の微細化および高集積化が可能となる。

【0324】次に、第7の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、電荷蓄積電極をp型のポリシリコンとすることにより、ドレイン領域における表面横方向電界が高くなり、バンド間トンネル電流の発生量が増大する。そのため、ドレイン領域における加速電界が増大するため、電子が得るエネルギーが高くなり、書き込み効率を向上する。

【0325】その結果、書き込み速度の増大もしくは書き込み時の低電圧化が可能となる。さらに、パンチスルー耐性が低くなり、ゲート長の微細化および高集積化が可能となる。

【0326】次に、第8の発明に係る不揮発性半導体記憶装置においては、第1および第2の発明であって、封止構造とすることにより、ソース領域およびドレイン領域の形成時におけるイオン注入時におけるマスクを削減でき、マスク枚数の減少および製造工程数の削減によるコスト低減が可能となる。

【0327】次に、第9の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域およびソース領域の不純物濃度は $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0328】これにより、バンドーバンド間トンネル電流誘起ホットエレクトロン注入電流を用いて書込を行なう不揮発性半導体記憶装置において、実効ゲート長さが長く、かつ微細化すなわち高集積化が可能なメモリセルを得ることが可能となる。

【0329】次に、第10の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、電荷蓄積電極の下方に位置するドレイン領域の不純物濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ の領域を含み、電荷蓄積電極の下方に位置するソース領域の不純物濃度は、 $5 \times 10^{19} \text{ cm}^{-3}$ 以下である。

【0330】この構造を用いることにより、ドレイン領域でのバンドーバンド間トンネル電流の発生量を大きくすることができる。その結果、書込速度の向上および書込時のドレイン電圧と制御電極電圧の低電圧化が可能となる。

【0331】次に、第11の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、いわゆるLDD構造が実現し、実効ゲート長さが長く、微細化すなわち高集積化が可能なメモリセルを得ることが可能となる。

【0332】次に、第12の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、ドレイン空乏層における横方向電界が増大し、効率的に電子を高エネルギー化することができる。その結果、不揮発性半導体記憶装置の書込速度の向上および書込時の制御電極電圧とドレイン電圧の低電圧化が可能となる。

【0333】次に、第13の発明に係る不揮発性半導体記憶装置においては、第1の発明であって、トンネル酸化膜の膜厚を $1.5 \text{ nm}$ 以下としている。これにより、たとえば比較的低電圧で、トンネル酸化膜に高電界が印加されるため、バンドーバンド間トンネル電流を効果的に発生させることができる。その結果、書込時における高速度性を可能とすることができる。

【0334】次に、第14の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、ソース領域に形成された第5不純物領域により、メモリセルのバンドスルー特性を向上させることができる。また、ドレイン領域に形成された第4不純物領域により、ドレイン領域とn型領域との間の前圧を向上させることが可能とな

る。

【0335】次に、第15の発明に係る不揮発性半導体記憶装置においては、第3の発明であって、第五導電性ドレイン領域を開放状態にする開放手段を備えている。

【0336】これにより、不揮発性半導体記憶装置の消去動作を安定して行なうことが可能となる。その結果、不揮発性半導体記憶装置の動作の信頼性を向上させることが可能となる。

【0337】次に、第16の発明に係る不揮発性半導体記憶装置においては、第1、第2、第3の発明であって、制御電極と電荷蓄積電極とソース領域とドレイン領域とによりメモリセルが形成され、このメモリセルが複数行および複数列に配列されたメモリセルアレイと、メモリセルの制御電極が接続されたワード線と、メモリセルのドレイン領域が接続されたビット線とを有している。

【0338】したがって、リザーブセル型のメモリセルからなるたとえばNOR型のフラッシュメモリや、DINOR型のフラッシュメモリを構成することが可能となる。

【0339】次に、第17の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルと、周辺回路領域に形成されるトランジスタとのソース領域およびドレイン領域のイオン注入のためのマスクを削減することができる。その結果、マスク枚数の減少および不揮発性半導体記憶装置の製造工程の削減によるコスト低減が可能となる。

【0340】次に、第18の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、いわゆる三ビット線と副ビット線とを有するDINOR型不揮発性半導体記憶装置において、選択トランジスタにpチャネル型トランジスタを用いている。この構造により、選択トランジスタをメモリセルと同一のウエル内に形成することが可能となる。

【0341】次に、第19の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、いわゆる五ビット線と副ビット線とを有するDINOR型不揮発性半導体記憶装置において、副ビット線が、金属配線材から形成されている。

【0342】この構造により、従来のポリシリコン材料による副ビット線に比べ、ドレイン領域とのコンタクト抵抗を低くすることができる。また、金属配線材を用いることにより、配線抵抗が極めて低くなり、副ビット線による寄生抵抗効果を抑えることができる。さらに、メモリセル電圧のばらつきを少なくすることも可能となる。さらに、メモリセル電圧のばらつきを小さくすることにより、1本の副ビット線に接続されるメモリセルの数を増加することが可能となり、その結果、平均メモリセル面積を小さくすることが可能となる。

【0343】次に、第20の発明に係る不揮発性半導体

31

記憶装置においては、第16の発明であって、不揮発性半導体記憶装置の書込時において、なだれ破壊が起きるような負電位を印加した場合の、選択されないメモリセルにおける消費電流が大きく増大し、メモリセルの消費電力の増大を招くことや、書込電圧を、不揮発性半導体記憶装置内の昇圧回路を用いて生成している場合において、電源供給能力に制限があるため、並列に書込可能なメモリセルの数が減少し、結果的に1メモリセル当りの書込速度の低下を招くことが可能となる。

【0344】次に、第21の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルの素外線消去の後、メモリセルの読出電圧よりも低いしきい値電圧を有している。

【0345】これにより、たとえば読出電圧よりしきい値電圧が高い場合と比べ、消去状態のメモリセルのしきい値と素外線駆動後のしきい値電圧との差が大きくなる。このとき、書込時におけるドレインディスタースに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0346】次に、第22の発明に係る不揮発性半導体記憶装置においては、第16の発明であって、メモリセルの素外線消去の後、メモリセルの読出電圧よりも高いしきい値電圧を有している。

【0347】これにより、読出時におけるディスタースに対する耐性が高まり、メモリセルの信頼性を向上させることが可能となる。

【0348】次に、第23の発明に係る不揮発性半導体記憶装置によれば、第1および第2の2種類の電位を用いることにより、pチャネル型のいわゆるNOR型のフラッシュメモリの読出動作を行なうことが可能となる。

【0349】次に、第24の発明に係る不揮発性半導体記憶装置によれば、pチャネル型のいわゆるDINOR型フラッシュメモリの読出時において、2種類の電位を用いることにより、読出動作を行なうことが可能となる。

【0350】次に、第25の発明に係る不揮発性半導体記憶装置においては、第23または第24の発明であって、第1の電位は正の値の外部電源電位であり、第2の電位は接地電位である。その結果、メモリセル内においては、正の値の外部電源電位のみを用いることにより、pチャネル型のDINOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0351】次に、第26の発明に係る不揮発性半導体記憶装置においては、第23または第24の発明であって、第1の電位は接地電位であり、第2の電位は負の値の外部電源電位である。これにより、メモリセル内においては、負の値の外部電源電位の1つの電位を用いることによりpチャネル型DINOR型フラッシュメモリの読出動作を行なうことが可能となる。

【0352】次に、第27の発明に係る不揮発性半導体

32

記憶装置においては、第16の発明であって、書込時における最大消費電流であるドレイン電流が、1μA以下となるように書込電圧印加条件が設定されている。

【0353】これにより、たとえば最低1000個以上のメモリセルを同時に並列に書込が可能となり、メモリセル当りの実効書込速度の高速化を実現することができる。さらに、単一電源動作の不揮発性半導体記憶装置を構築することが可能となる。

【図面の簡単な説明】

【図1】 第1実施例における不揮発性半導体記憶装置の書込動作を説明するための第1の図である。

【図2】 第1実施例における不揮発性半導体記憶装置の書込動作を説明するための第2の図である。

【図3】 第1実施例における不揮発性半導体記憶装置の消去動作を説明するための図である。

【図4】 第1実施例における不揮発性半導体記憶装置の電圧印加条件を示す図である。

【図5】 第1実施例における不揮発性半導体記憶装置の書込特性を示す図である。

【図6】 第1実施例における不揮発性半導体記憶装置の消去特性を示す図である。

【図7】 第1実施例におけるフローティングゲートとコントロールゲートとを接続した場合のI<sub>d</sub>-V<sub>d</sub>特性およびI<sub>g</sub>-V<sub>d</sub>特性を示す図である。

【図8】 第2実施例における不揮発性半導体記憶装置の構造を示すブロック図である。

【図9】 第3実施例における不揮発性半導体記憶装置の構造を示すブロック図である。

【図10】 従来のNOR型フラッシュメモリの書込および消去特性を示す図である。

【図11】 第3実施例における不揮発性半導体記憶装置の書込および消去特性を示す図である。

【図12】 第4実施例における不揮発性半導体記憶装置の書込動作を説明するための図である。

【図13】 第5実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図14】 第6実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図15】 第7実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図16】 第8実施例における不揮発性半導体記憶装置の第1製造工程を示す断面図である。

【図17】 第8実施例における不揮発性半導体記憶装置の第2製造工程を示す断面図である。

【図18】 第9実施例における不揮発性半導体記憶装置の第1製造工程を示す断面図である。

【図19】 第9実施例における不揮発性半導体記憶装置の第2製造工程を示す断面図である。

【図20】 第10実施例における不揮発性半導体記憶装置の構造を示す断面図である。

30

【図21】 第11実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図22】 第12実施例における不揮発性半導体記憶装置の構造を示す断面図である。

【図23】 第1、第4～第12実施例におけるnウェルの他の状態を示す第1の図である。

【図24】 第1、第4～第12実施例におけるnウェルの他の状態を示す第2の図である。

【図25】 第1、第4～第12実施例におけるnウェルの他の状態を示す第3の図である。

【図26】 第15実施例における不揮発性半導体記憶装置の $I_d-V_d$ 特性と $I_g-V_d$ 特性を示す図である。

【図27】 第15実施例におけるなだれ現象を説明するための第1の図である。

【図28】 第15実施例におけるなだれ現象を説明するための第2の図である。

【図29】 第15実施例におけるなだれ現象を説明するための第3の図である。

【図30】 第15実施例における不揮発性半導体記憶装置のバンドバンド間トンネル電流 $I_d$ のF-Nプロットを示す図である。

【図31】 第15実施例における不揮発性半導体記憶装置の $V_g=0V$ における $I_d-V_d$ 特性と $I_g-V_d$ 特性を示す図である。

\*【図32】 従来のNOR型メモリの書込動作を説明するための模式図である。

【図33】 従来のNOR型メモリの消去動作を説明するための模式図である。

【図34】 従来のDINOR型メモリの書込動作を説明するための模式図である。

【図35】 従来のDINOR型メモリの消去動作を説明するための模式図である。

【図36】 従来のDINOR型メモリの電圧印加条件を示す図である。

【図37】 従来のDINOR型メモリの書込特性を示す図である。

【図38】 従来のDINOR型メモリの消去特性を示す図である。

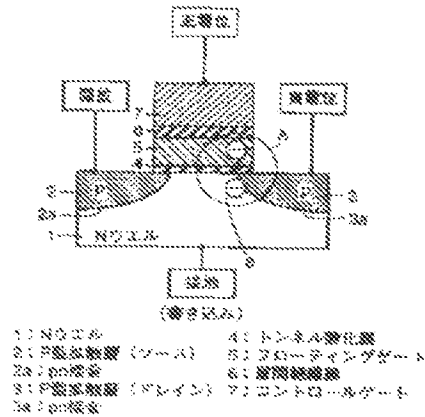
【図39】 従来のn型MOSメモリのバンドバンド間トンネル現象を説明するための模式図である。

【図40】 従来のnチャネル型MOSメモリの改良された構造を示す断面図である。

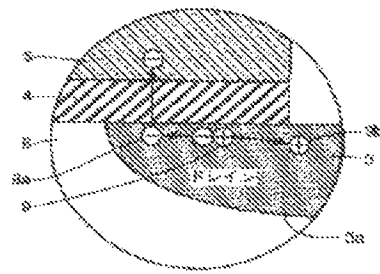
【符号の説明】

1 nウェル、2 ソース領域、3 ドレイン領域、2a、3a p-n接合、4 トンネル酸化膜、5 フローティングゲート電極、6 絶縁膜、7 コントロールゲート電極、なお、各図中、同一符号は、同一または相当部分を示す。

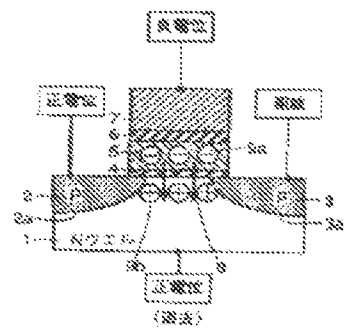
【図1】



【図2】



【図3】



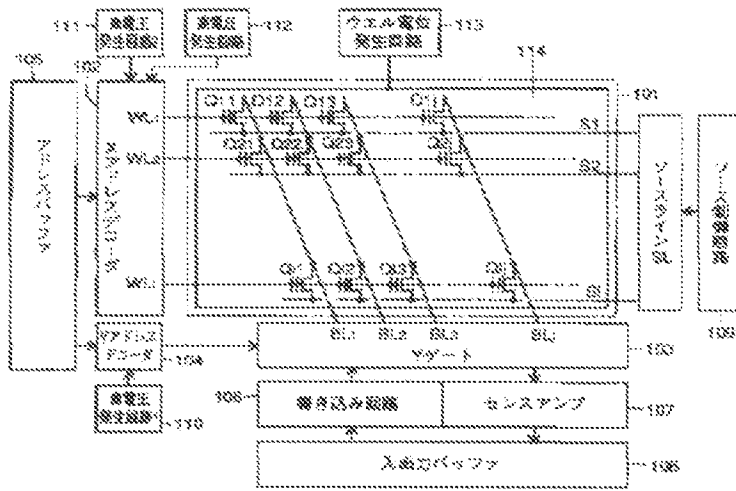
【図4】

	ドレイン	コントロールゲート	ソース	pウェル
書き込み	高電圧 (3~10V)	正電圧 (5~11V)	接地	接地
読み	接地	高電圧 (5~12V)	正電圧 (5~12V)	正電圧 (5~12V)
読み出し	高電圧 (0.1~2V)	高電圧 (1.5~3V)	接地	接地

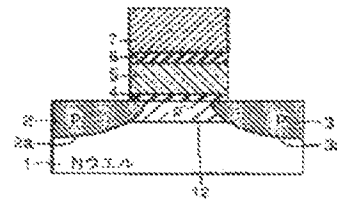
※説明(PMC方式)の電圧印加条件



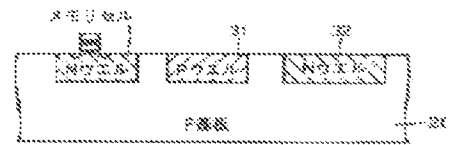
【図9】



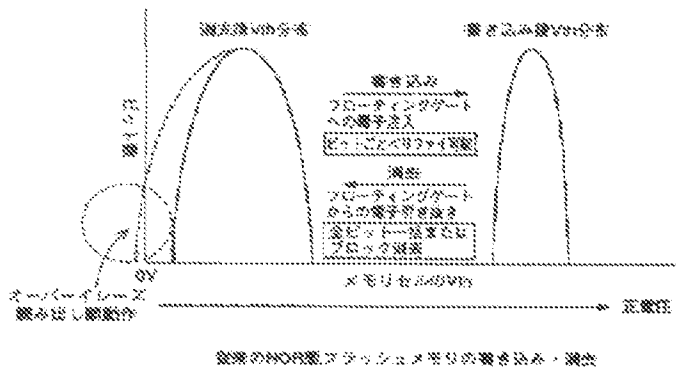
【図13】



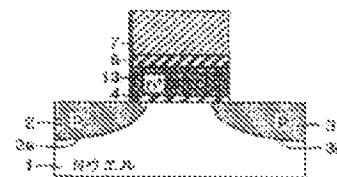
【図25】



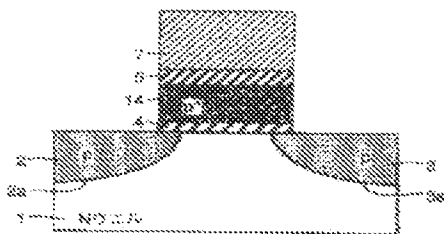
【図10】



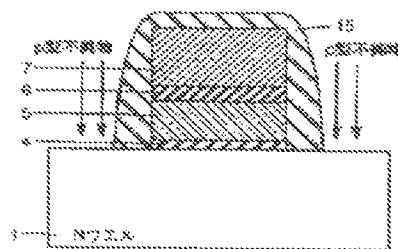
【図14】



【図15】

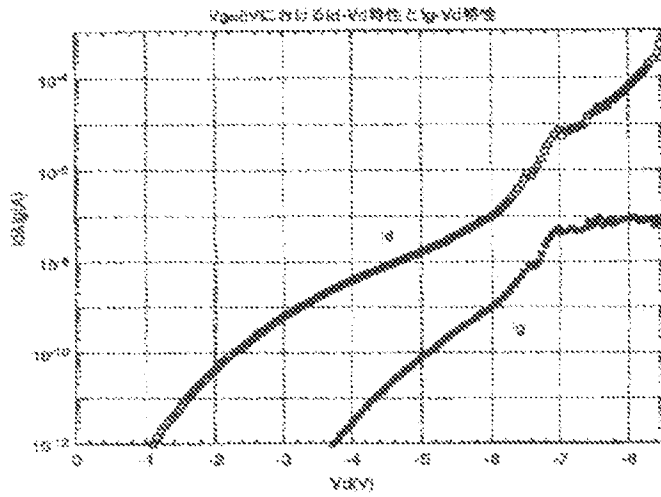


【図16】

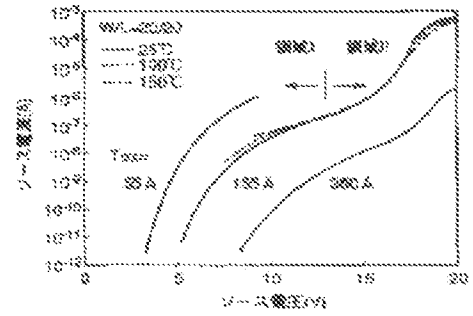




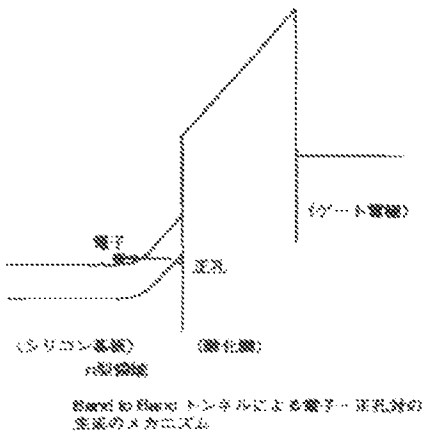
【図26】



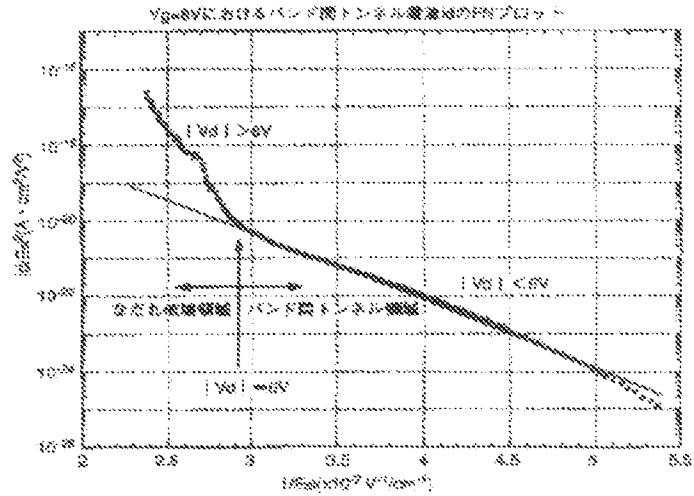
【図27】



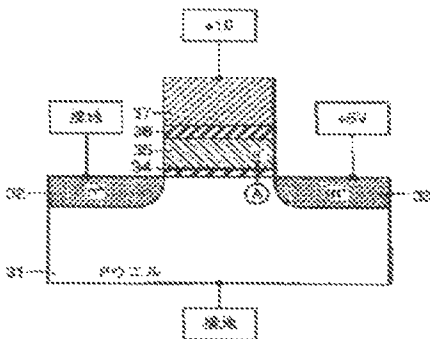
【図28】



【図29】



【図30】

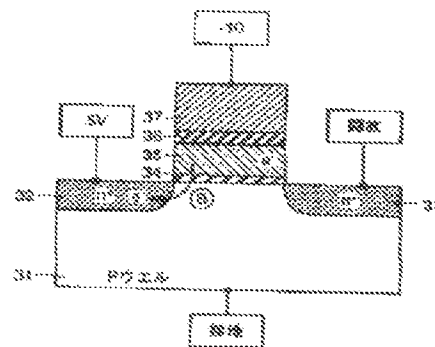


【表3】

	ドレイン	コントロール ゲート	ソース	ドウェル
電圧	正電圧 (4~8V)	負電圧 (-6~-11V)	開放	接地
電流	電流	正電圧 (8~12V)	負電圧 (-6~-11V)	負電圧 (-6~-11V)
電圧	正電圧 (1~2V)	正電圧 (3~5V)	開放	接地

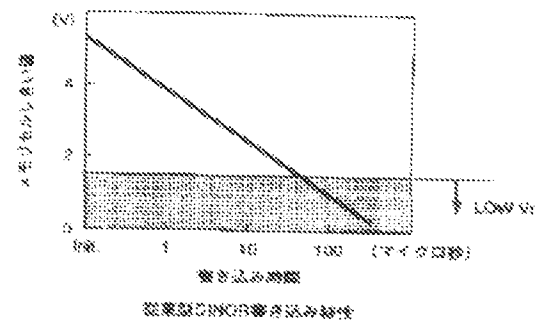
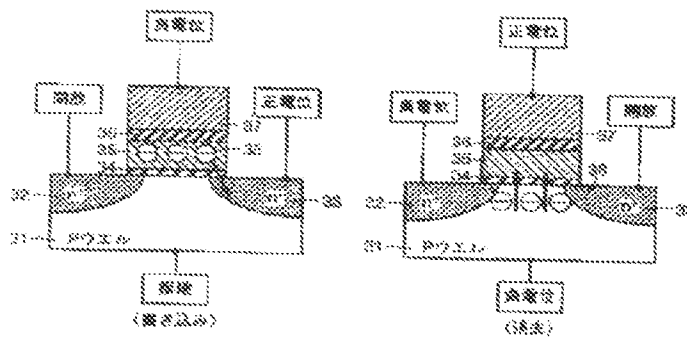
図30の構造に示す電圧印加条件

(108 x 2)

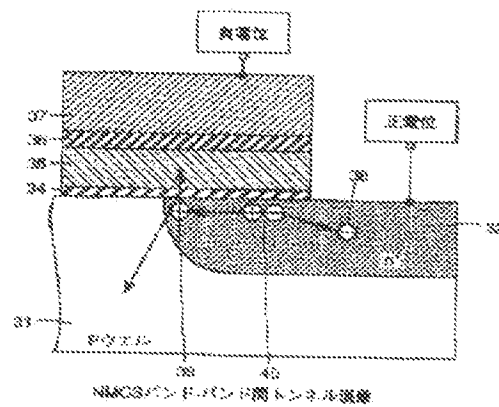
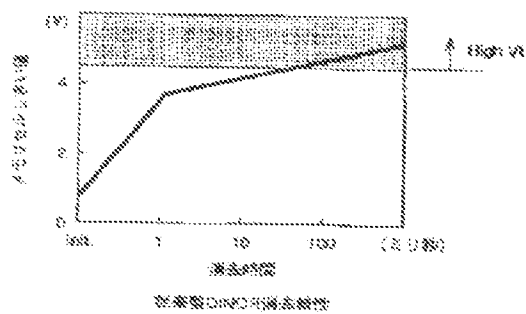


200 271

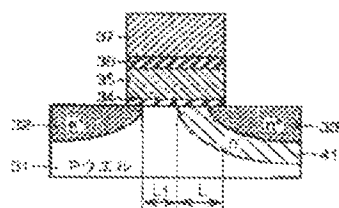
1050



1898]



【図40】



フロントページの続き

(71)発明者 味香 夏次

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

(72)発明者 柳原 浩彦

兵庫県伊丹市瑞原4丁目1番地 三菱電機  
株式会社ユー・エル・エス・アイ開発研究  
所内

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成14年8月30日(2002.8.30)

【公開番号】特開平9-8153  
 【公開日】平成9年1月10日(1997.1.10)  
 【年番号数】公開特許公報9-88  
 【出願番号】特願平7-148939  
 【国際特許分類第7版】

H01L 21/8217  
 29/758  
 29/792  
 27/315

【B1】

H01L 29/76 371  
 27/10 434

【手続補正書】

【提出日】平成14年8月8日(2002.8.8)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの書込時に、前記ドレイン領域に、負電位を印加するための負電位印加手段と、前記電荷蓄積電極に、正電位を印加するための正電位印加手段と、前記ソース領域を導電状態にする開放手段と、を備え、前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、不揮発性半導体記憶装置。  
 【請求項2】 前記不揮発性半導体記憶装置のデータの書込時に、前記ドレイン領域におけるバンド・バント間上エネルギー障壁をホットエレクトロン注入により、前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、請求項1に記載の不揮発性半導体記憶装置。  
 【請求項3】 前記不揮発性半導体記憶装置のデータの書込時に、前記電荷蓄積電極と前記ドレイン領域とに挟まれた領域の前記トンネル酸化膜に電圧を印加して、E<sub>N</sub>Tトンネル現象により前記ドレイン領域から前記電荷蓄積電極へ電子の注入を行なう、請求項1に記載の不揮

発性半導体記憶装置。

【請求項4】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁膜を介在して形成された制御電極と、を有する不揮発性半導体記憶装置であって、前記不揮発性半導体記憶装置のデータの消去時に、前記制御電極に、負電位を印加するための負電位印加手段と、前記ソース領域および前記n型領域に、正電位を印加するための正電位印加手段と、を備え、前記チャネル領域に孔のチャネル層を形成し、前記正孔のチャネル層と前記電荷蓄積電極との間に存在する前記トンネル酸化膜に電圧を印加して、E<sub>N</sub>Tトンネル現象により、前記電荷蓄積電極から前記正孔のチャネル層へ電子の注入を行なう、不揮発性半導体記憶装置。

【請求項5】 前記不揮発性半導体記憶装置は、前記不揮発性半導体記憶装置のデータの書込時に、前記n型領域を導電状態にする係数手段と、をさらに有する請求項1から請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項6】 前記チャネル領域は、p型の導電層を有する、請求項1から請求項5のいずれかに記載の不揮発性半導体記憶装置。

【請求項7】 前記電荷蓄積電極は、n型のポリシリコンである、請求項1から請求項5のいずれかに記載の不揮発性半導体記憶装置。

【請求項8】 前記電荷蓄積電極は、 $p$ 型のポリシリコンである。

請求項1から請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項9】 前記ソース領域と前記ドレイン領域とは、前記電荷蓄積電極および前記制御電極に対して、対称構造である。

請求項1から請求項3のいずれかに記載の不揮発性半導体記憶装置。

【請求項10】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

請求項1または2に記載の不揮発性半導体記憶装置。

【請求項11】 前記ドレイン領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ の領域を含み、

前記ソース領域の、前記電荷蓄積電極の下方に位置する領域の不純物濃度は、 $5 \times 10^{17} \text{ cm}^{-3}$ 以下である。

請求項1または2に記載の不揮発性半導体記憶装置。

【請求項12】 前記チャネル領域において、

前記ソース領域に接して形成され、前記ソース領域の不純物濃度より低い濃度の $p$ 型不純物を有する第1不純物領域と、

前記ドレイン領域に接して形成され、前記ドレイン領域の不純物濃度より低い濃度の $p$ 型不純物を有する第2不純物領域と、

を備えた、請求項1または2に記載の不揮発性半導体記憶装置。

【請求項13】 前記 $n$ 型領域において、

前記ドレイン領域に接し、前記ドレイン領域を取り囲むように形成され、前記 $n$ 型領域よりも高い不純物濃度を有する $n$ 型の第3不純物領域を備えた、

請求項1または2に記載の不揮発性半導体記憶装置。

【請求項14】 前記トンネル酸化膜の膜厚さは、 $1.5 \text{ nm}$ 以下である。

請求項1または2に記載の不揮発性半導体記憶装置。

【請求項15】 前記 $n$ 型領域において、

前記ドレイン領域を取り囲むように形成され、前記ドレイン領域の不純物濃度よりも高い不純物濃度を有する $p$ 型の第4不純物領域と、

前記ソース領域を取り囲むように形成され、前記 $n$ 型領域よりも高い不純物濃度を有する $n$ 型の第5不純物領域と、

を備えた、請求項1または3に記載の不揮発性半導体記憶装置。

【請求項16】 前記不揮発性半導体記憶装置は、

前記ドレイン領域を開放状態にする開放手段をさらに備えた、

請求項4に記載の不揮発性半導体記憶装置。

【請求項17】 前記制御電極と前記電荷蓄積電極と前

記ソース領域と前記ドレイン領域とでメモリセルが形成され、

前記不揮発性半導体記憶装置は、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数行に対応して、前記各々のメモリセルの制御電極が接合されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域に接続されたビット線と、

を有する、請求項1から請求項4のいずれかに記載の不揮発性半導体記憶装置。

【請求項18】 前記不揮発性半導体記憶装置は、

前記メモリセルの動作制御を行なう周辺回路が形成される周辺回路領域をさらに備え、

前記周辺回路領域は、 $p$ チャネル型MOSトランジスタを有し、

前記メモリセルの前記ソース領域と前記ドレイン領域とが、前記 $p$ チャネル型MOSトランジスタを構成するソース領域およびドレイン領域と同一の構造を有する、

請求項17に記載の不揮発性半導体記憶装置。

【請求項19】 前記ビット線は、主ビット線と副ビット線とを含み、

前記複数のメモリセルは、各々が複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、

前記複数のセクタに対応して設けられ、各々が対応するセクタ内の複数列に対応する複数の前記副ビット線を含む副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線に接続する選択トランジスタを備え、

前記選択トランジスタは、 $p$ チャネル型トランジスタである。

請求項17に記載の不揮発性半導体記憶装置。

【請求項20】 前記副ビット線は、金属配線材料である。

請求項19に記載の不揮発性半導体記憶装置。

【請求項21】 前記負電圧印加手段は、

前記不揮発性半導体記憶装置の書込時に、

$V_d - I_d$ 特性において、( $V_d$ :ドレイン電圧、 $I_d$ :ドレイン電流)、

$V_d$ の絶対値を増加させたとき、 $[(I_{0.5} I_d) / V_d]$ の値が0となる $V_d$ の値 $V_{d0}$ を求め、

$V_{d0}$ の絶対値が $V_d$ の値より小さい負電位を前記ドレイン領域に印加して、消滅されるメモリセルおよびこの選択されるメモリセルと同一の前記ビット線に接続された選択されないメモリセルにおいて、なだれ破壊が起きないようにした、請求項17に記載の不揮発性半導体記憶装置。

【請求項22】 前記メモリセルは、

前記メモリセルの素外線消去の後、前記メモリセルの読

出電圧よりも低いしきい値電圧を有する。

請求項17に記載の不揮発性半導体記憶装置、

【請求項23】 前記メモリセルは、

前記メモリセルのゲート絶縁層の後、前記メモリセルの誘引電圧よりも高いしきい値電圧を有する。

請求項17に記載の不揮発性半導体記憶装置、

【請求項24】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁層を介在して形成された制御電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数行に対応して、前記各々のメモリセルの制御電極が接続されたワード線と、

前記複数列に対応して、前記各々のメモリセルのドレイン領域が接続されたビット線と、

前記各々のメモリセルのソース領域が接続されたソース線と、

前記指定のメモリセルの読出時に、

選択されない前記ビット線と、選択されない前記ワード線と、前記ソース線と、前記n型領域とに、第1の電位を印加するための第1電位印加手段と、

選択される前記ビット線に、前記第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、

選択される前記ワード線に第2の電位を印加するための第3電位印加手段と、を有する、不揮発性半導体記憶装置、

【請求項25】 n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、前記ソース領域と前記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、前記電荷蓄積電極の上方に絶縁層を介在して形成された制御電極とを有するメモリセルと、

前記メモリセルが複数行および複数列に配列されたメモリセルアレイと、

前記複数行に対応して設けられた複数の主ビット線と、前記複数のメモリセルに共通に設けられたソース線とを備え、

前記複数のメモリセルは、各々の複数行および複数列に配列された複数のメモリセルを含む複数のセクタに分割され、

前記複数のセクタに対応して設けられ、各々の対応するセクタ内の複数の列に対応する複数の副ビット線を含む複数の副ビット線群と、

前記複数の副ビット線群を選択的に前記複数の主ビット線と接続するセレクトゲートトランジスタとをさらに備え、

前記指定のメモリセルの読出時に、

選択されない前記主ビット線と、選択されない前記セレクトゲートトランジスタと、前記ソース線と、前記n型領域に第1の電位を印加するための第1電位印加手段と、

選択される前記主ビット線と、選択される前記副ビット線とに、第1の電位よりも1〜2V低い電位を印加するための第2電位印加手段と、

選択されない副ビット線を開放状態にする開放手段と、

選択される前記セレクトゲートトランジスタに第2の電位を印加する第3電位印加手段と、

を有する、不揮発性半導体記憶装置、

【請求項26】 前記第1の電位は、正の値の外部電源電位であり、

前記第2の電位は、接地電位である、

請求項24または請求項25に記載の不揮発性半導体記憶装置、

【請求項27】 前記第1の電位は、接地電位であり、

前記第2の電位は、負の値の外部電源電位である、

請求項24または請求項25に記載の不揮発性半導体記憶装置、

【請求項28】 前記不揮発性半導体記憶装置の動作時における最大消費電流が、1メモリセル当たり1μA以下であることを特徴とする請求項17に記載の不揮発性半導体記憶装置、

【請求項29】 前記不揮発性半導体記憶装置の動作時における最大消費電流が、1メモリセル当たり1μA以下となるように、前記負電位印加手段および前記正電位印加手段を用いて、前記ドレイン領域および前記電荷蓄積電極に負電位および正電位を印加する、

請求項28に記載の不揮発性半導体記憶装置、

【特許補正2】

【補正対象書類名】明細書

【補正対象項目名】0027

【補正方法】変更

【補正内容】

【0027】

【課題を解決するための手段】（主発明）

主発明に係る不揮発性半導体記憶装置は、n型領域の表面に形成されたp型のソース領域およびp型のドレイン領域と、上記ソース領域と上記ドレイン領域とに挟まれたチャネル領域の上方にトンネル酸化膜を介在して形成された電荷蓄積電極と、上記電荷蓄積電極の上方に絶縁層を介在して形成された制御電極とを有する不揮発性半導体記憶装置であって、上記不揮発性半導体記憶装置のデータの書き込み時、上記ドレイン領域に負電位を印加するための負電位印加手段と、上記電荷蓄積電極に正電位を印加するための正電位印加手段と、上記ソース領域を開放状態にする開放手段とを備え、上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる、

（1） 第1の発明

第1の発明に係る不揮発性半導体記憶装置は、上記主発明において、上記不揮発性半導体記憶装置のデータの書込時に、上記ドレイン領域におけるバンドーバンド間トンネル電流誘起ホットエレクトロン注入電流により、上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0028

【補正方法】変更

【補正内容】

【0028】(2) 第2の発明

第2の発明に係る不揮発性半導体記憶装置においては、上記主発明において、上記不揮発性半導体記憶装置のデータの書込時に、上記電荷蓄積電極と上記ドレイン領域とに挟まれた領域の上記トンネル酸化膜に強電界を印加してFNTトンネル現象により上記ドレイン領域から上記電荷蓄積電極へ電子の注入が行なわれる。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0038

【補正方法】変更

【補正内容】

【0038】(12) 第18の発明

第12の発明に係る不揮発性半導体記憶装置においては、上記第1の発明において、上記n型領域において、上記ドレイン領域に接して、上記ドレイン領域を包囲するように形成され、上記n型領域よりも高い不純物濃度を有するp型の第3不純物領域を備えている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0040

【補正方法】変更

【補正内容】

【0040】(14) 第14の発明

第14の発明に係る不揮発性半導体記憶装置においては、第2の発明であって、上記n型領域において、上記ドレイン領域を包囲するように形成され、上記ドレイン領域の不純物濃度よりも低い不純物濃度を有するp型の第4不純物領域と、上記ソース領域を包囲するように形成され、上記n型領域よりも高い不純物濃度を有するp型の第5不純物領域とを備えている。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0045

【補正方法】変更

【補正内容】

【0045】(19) 第19の発明

第19の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、上記ワード線は金属配線

材料である。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0053

【補正方法】変更

【補正内容】

【0053】(27) 第27および第28の発明

第27および第28の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、上記不揮発性半導体記憶装置の書込時における最大消費電流が1メモリセル当たり1 $\mu$ A以下となるように、上記負電位印加手段および正電位印加手段を用いて、上記ドレイン領域および上記電荷蓄積電極に、負電位および正電位を印加している。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正内容】

【0054】

【作用】主発明、および第1、第4～第13、第16～第22の発明に係る不揮発性半導体記憶装置においては、フラッシュ型のフラッシュメモリを用いて、このフラッシュメモリのデータの書込時に、ドレイン領域に負電位、電荷蓄積電極に正電位が印加される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0110

【補正方法】変更

【補正内容】

【0110】次に、第27および第28の発明に係る不揮発性半導体記憶装置においては、第18の発明であって、書込時における最大消費電流であるドレイン電流が、1 $\mu$ A以下となるように書込電圧印加条件が設定されている。

【手続補正10】

【補正対象書類名】明細書

【補正対象項目名】0309

【補正方法】変更

【補正内容】

【0309】

【発明の効果】主発明、および第1、第4～第13、第16～第22の発明に係る不揮発性半導体記憶装置によれば、ドレイン領域においてバンドーバンド間トンネル電流が発生し、電子－正孔対が生成される。そのうち電子は電方向の電界によりチャンネル方向に加速され、高エネルギーを有するホットエレクトロンとなる。このとき、制御電極に正電位が印加されているため、このホットエレクトロンは容易にトンネル酸化膜に注入され、電荷蓄積電極まで達することができる。このように、バン

ドーパント間トンネル電流誘起ホットエレクトロン注入  
により、電荷蓄積電極への電子の注入が行なわれる。

【系統補正 1 1】

【補正対象書類名】明細書

【補正対象項目名】0352

【補正方法】変更

【補正内容】

【0352】次に、第27および第28の発明に係る不  
揮発性半導体記憶装置においては、第18の発明であっ  
て、書き時における最大消費電流であるドレイン電流  
が、 $1\mu\text{A}$ 以下となるように書き電圧施加条件が設定さ  
れている。